



UNIVERSITATEA POLITEHNICA BUCUREȘTI

Școala Doctorală de Inginerie Electrică

REZUMATUL TEZEI DE DOCTORAT

SINTETIZOR DE FRECVENȚĂ PENTRU COMUNICAȚII FĂRĂ FIR ÎN STANDARDUL 802.11g

Doctorand:
Msc. Ing. Ursac Iulian

Conducător științific:
Prof.Dr.Ing. Florin Constantinescu

BUCUREȘTI 2021

CUVINTE CHEIE

- Sintetizor de frecvență cu doua bucle PLL
- Oscilator comandat digital
- Buclă cu calare a fazei complet digitală (ADPLL)
- Bucla PLL cu divizor de frecvență fix și Referință de frecvență ajustabilă
- Oscillator AIN-CMOS
- Resonator BAW-AIN

CUPRINSUL TEZEI DE DOCTORAT

- Capitolul 1: Introducere
- Capitolul 2: Sintetizor de Frecvență realizat cu bucla cu calare a fazei PLL
- Capitolul 3: Sintetizor WLAN cu doua bucle PLL si Referință de frecvență variabilă
- Capitolul 4: Referința de Frecvență ajustabilă
- Capitolul 5: Concluzii si contribuții originale

CUPRINSUL REZUMATULUI TEZEI DE DOCTORAT

Cuvinte cheie	2
Cuprinsul Tezei de doctorat.....	2
Cuprinsul rezumatului Tezei de doctorat.....	2
1.Sintetizator WLAN cu doua bucle si referinta de frecventa variabila	4
1.1.Descrierea circuitului	4
1.2.Bucla de reglaj digitala	6
1.3.Rezultatele simulării sintetizorului de frecvență cu doua bucle	7
2. Referința de frecvență	12
2.1.Descrierea circuitului	12
2.2.Circuitul de calibrare.....	13
2.3.Rezultatele simulării referinței de frecvență	15
2.3.1. Analiza spectrala	15
2.3.2 Zgomotul de faza al referintei	16

2.3.3 Stabilitatea frecvenței	17
2.3.4 Timpul de setare a frecvenței (settling time)	18
3.CONCLUZII SI CONTRIBUTII ORIGINALE	19
3.1. Concluzii Generale.....	19
3.2 Contribuții originale.....	21
3.2.1 Sintetizor de frecvență	22
3.2.1.1 Eliminarea divizorului de frecvență programabil și introducerea unui fix	22
3.2.1.2 Sintetizorul de frecvență cu o buclă DPLL și una ADPLL	22
3.2.1.4 Îmbunătățire proces de fortare a capturii	22
3.2.1.2 Modul de realizare a celei de-a doua buclă de comandă a oscilatorului ADPLL	23
3.2.1.2 Îmbunătățire zgomot de fază	23
3.2.1.5 Circuit formator de impulsuri PFN.....	24
3.2.2 Detectorul de fază de mare viteză	24
3.2.3 Referință de frecvență.....	24
3.2.3.1 Referințe de frecvență cu paisprezece frecvențe de ieșire	24
3.2.3.2 Metoda de proiectare a rezonatorului	25
3.2.3.3 Metoda de compensare a variației frecvenței	25
3.2.3.4 Realizarea în aceeași capsulă a referinței și a sintetizorului	26
Lista lucrărilor elaborate de autorul tezei.....	27
Bibliografie	28

1.SINTETIZATOR WLAN CU DOUA BUCLE SI REFERINTA DE FRECVENTA VARIABILA

1.1.DESCRIEREA CIRCUITULUI

Multe aplicatii de inalta frecventa precum oscilatoare locale utilizate in diferite aplicatii de comunicatii sau analizoar de retea, necesita o sinteză de semnal cu cerinte restrictive pentru parametri principali de proiectare: stabilitatea frecventei, timp de setare a frecventei si zgomot de faza. O solutie a acestei probleme o constituie bucla cu calare a fazei PLL a carei diagrama bloc este prezentata in Fig.1

Semnalul de interes provine de la un oscillator comandat in tensiune (VCO) la terminalul sau de iesire Fout. In mod usual referinta de frecventa (Fref) este un oscillator bazat pe cristal de Quartz, cunoscut pentru stabilitatea frecventei de oscilatie.

Detectrul de faza si frecventa (PFD) compara semnalul de referinta REF cu semnalul oscilatorului disponibil in iesirea Fout si care este divizat de catre divizorul de frecventa (DIV). PFD da comanda UP(incrementare) daca $F_{ref} > (F_{out} \text{ divizat de } DIV)$ sau comanda DN(decrementare) daca $F_{ref} < (F_{out} \text{ divizat de } DIV)$.

Pompa de sarcina (CP) genereaza la terminalul de iesire (OUT) un current pozitiv sau negative in functie de comanda de intrare UP sau DN. Dupa filtrarea cu ajutorul filtrului trece jos (LPF) semnalul este aplicat pe intrarea VCTRL a oscilatorului comandat in tensiune (VCO). Curentul pozitiv al pompei CP creste valoarea frecventei de oscilatie a oscilatorului VCO, iar curentul negative o scade. PFD are o zona moarta in caracteristica (dead zone) unde nu se poate realiza detectia defazajului intre semnalele de intrare.

In mod usual, referinta de frecventa FREF (Fig.1) este un oscillator ce ofera o frecventa constanta de oscilatie. In solutia clasica frecventa de iesire a oscilatorului VCO pentru cele paisprezece canale de comunicatie ale standardului WLAN 802.11g, este impusa de factorul de divizare al divizorului de frecventa (DIV), in timp ce FREF are frecventa constanta.

O noua abordare este propusa in cadrul sintetizorului de frecventa propus in aceasta lucrare: in loc sa folosim o referinta de frecventa de valoare fixa si un factor de divizare variabil, noi folosim o referință de frecvență variabilă si un factor de divizare al frecventei fix.

Clasicul resonator pasiv de quartz este inlocuit de un rezonator active produs in tehnologie AlN de tipul bulk acoustic wave (BAW), care poate fi construe in aceeasi capsula (system on a chip (SoC)). Partea activa a rezonatorului BAW este realizata cu o pereche de tranzistoare CMOS, datorita compatibilitatii foarte bune intre cele doua tehnologii (AlN si CMOS).

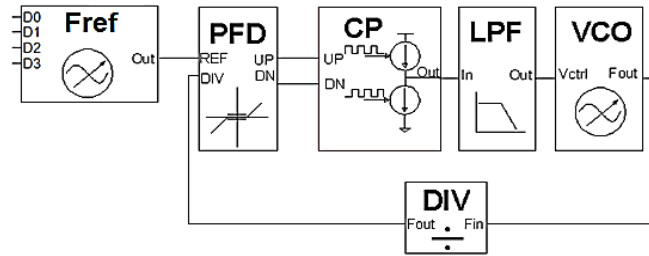


Fig. 1 Diagrama bloc a sintetizorului de frecventa de tip PLL

În plus, o arhitectură cu bucle PLL este utilizată. Aceasta soluție are avantajul de a reduce atât zgomotul de fază cât și timpul de setare în comparație cu sintetizorul de frecvență cu o singură buclă PLL.

Schema bloc a sintetizorului cu două bucle PLL este prezentată în Fig. 2. Diferențele față de soluția clasică de sintetizor sunt: frecvența de referință oferă în ieșire o serie de paisprezece valori de frecvențe diferite iar factorul de divizare pe buclă DIV este constant.

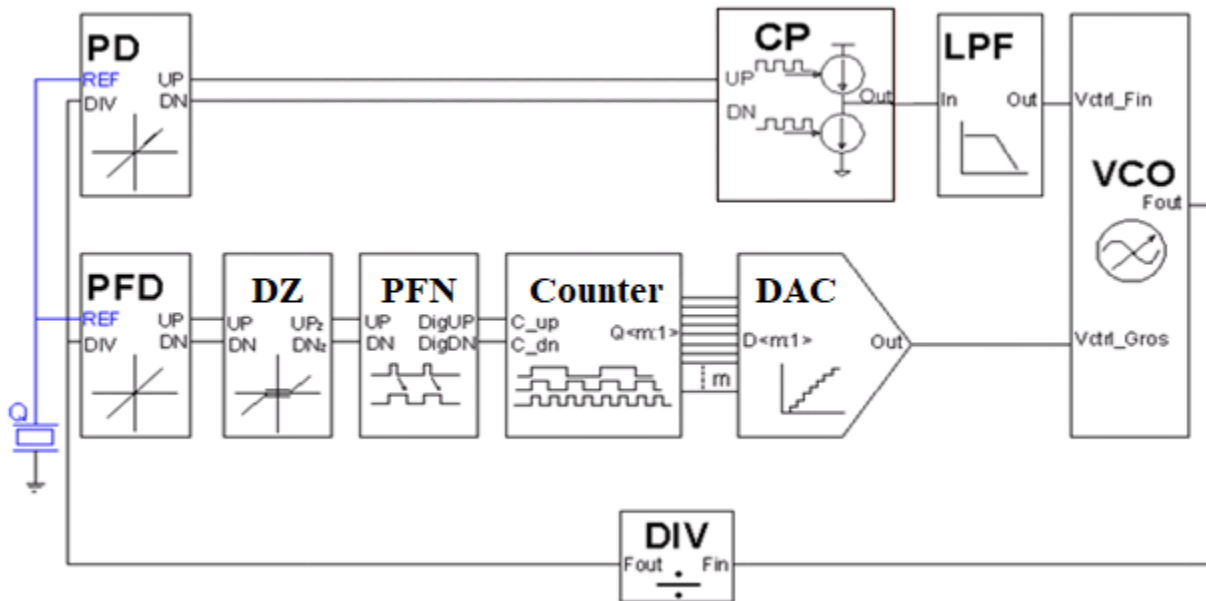


Fig. 2 Schema bloc a sintetizorului de frecventa cu doua bucle de reglaj

Oscilatorul comandat în tensiune are două intrări de comandă, una pentru un reglaj fin al frecvenței (Vctrl_Fin) iar cealaltă pentru un reglaj grosier al frecvenței (Vctrl_Gros).

Modul în care se sumează contribuțiile celor două bucle pe oscilator folosind două elemente de reglaj diferite este net superior modului de sumare pe filtrul trece jos în principal din două motive: a) oscilatorul ar fi avut un singur capacitor variabil de valoare foarte mare ce implica un zgomot de fază mare, în același timp nu reușește să realizeze un pas de variație a frecvenței suficient de mic, b) filtrul trece jos având condensatoare de valori mari, contribuția buclei cu reglaj fin nu apuca să fie valorificată la maxim.

Prima bucla, prezintă o topologie preponderent analogică și comanda intrarea de câștig mic (control fin) a oscilatorului V_{ctrl_fin} . Modul de lucru al acestei bucle este pe palierul semnalului, astfel lățimea pulsurilor din ieșirea circuitului detector de fază PD dictează mărimea saltului de frecvență din ieșirea sintetizorului. După cum am văzut în subcapitolul 2.1 (din teza), comanda pe palierul semnalului generează probleme de zgomot de fază dacă câștigul pompei de sarcină este mare. În cazul nostru am minimizat zgomotul de fază al sistemului realizând un câștig mic al pompei de sarcină.

1.2.BUCLA DE REGLAJ DIGITALĂ

A doua buclă, prezintă o topologie preponderent digitală și comanda intrarea de câștig mare (control grosier) a oscilatorului V_{ctrl_Gros} . Modul de lucru al acestei bucle este pe frontul semnalului. Acest mod de lucru prezintă un avantaj imens pentru aplicația noastră, deoarece vom putea utiliza în mod eficient în comanda oscilatorului VCO folosind pulsuri extrem de înguste din ieșirea PFD. Deoarece am înlocuit pompa de sarcină avem avantajul că oricât de mare ar fi lățimea pulsurilor din ieșirea detectorului de fază și frecvența PFD, zgomotul de comutare va fi la fel, sintetizorul își modifică frecvența de ieșire cu un pas bine determinat odată cu tranziția semnalului de ceas a număratorului (activ pe front crescător). După cum am văzut în subcapitolul 2.3 (din teza) sistemele complet digitale prezintă o limitare a gamei frecvenței de ieșire datorită stărilor finite ale număratorului, acesta fiind și motivul principal pentru care am ales să proiectăm un sistem cu două bucle PLL.

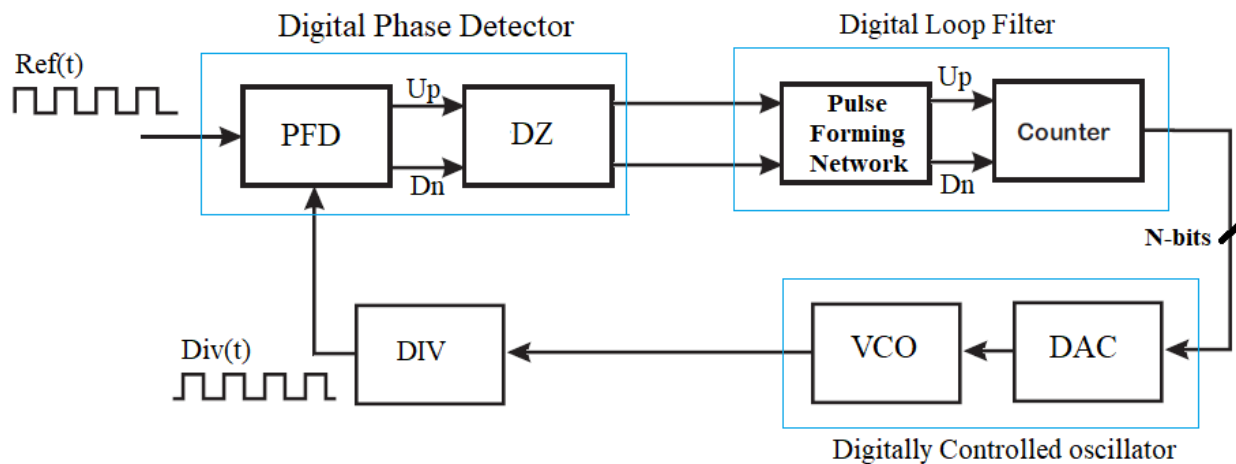


Fig. 3 Schema bloc a buclei digitale

Bucla de reglaj digitală este alcătuită din următoarele blocuri:

-Detector de fază și frecvență digital (Digital Phase Detector). Acest bloc este alcătuit dintr-un detector de fază și frecvență secvențial (PFD) la care se adaugă un bloc ce introduce o zonă moartă în caracteristica de detecție (DZ). Detectorul de fază și frecvență (PFD) furnizează o tensiune digitală a cărei lățime de puls este proporțională cu diferența fazelor celor două semnale de intrare. Circuitul Dead Zone (DZ) are rolul de a seta sensibilitatea de detecție a buclei cu reglaj grosier. În acest mod se poate limita funcționarea buclei digitale doar în regimul de achiziție.

-Filtrul digital al buclei (Digital Loop Filter). Este alcătuit dintr-un circuit formator de impulsuri (Pulse Forming Network = PFN) ce are rolul de a comanda număratorul reversibil pe N

biti (Counter). Circuitul PFN mărește lățimea pulsurilor înguste din ieșirea DZ până la 50% din perioada clock-ului de referință, pentru a putea comanda sensul de numărare. Numaratorul reversibil (Counter/NR), realizează incrementarea sau decrementarea ieșirii convertorului digital-analogic DAC în funcție de semnalul de comandă primit la intrare.

-Oscilator comandat digital (Digitally controlled oscillator). Este alcătuit dintr-un convertor analog-digital(DAC) și un oscilator comandat în tensiune de tip LC (VCO). Convertor digital analogic (DAC) realizează comanda în tensiune a oscilatorului VCO. Variația frecvenței de ieșire a sintetizorului se realizează cu ajutorul tensiunii de intrare a oscilatorului VCO.

- Frecvența din ieșirea oscilatorului VCO este divizată de către divizorul de frecvență DIV cu un factor de divizare fix $N=\text{fix}$. Divizorul de frecvență este comun celor două bucle cu calare a fazei din componenta sintetizorului de frecvență.

Pompa de sarcină în bucla digitală a fost înlocuită cu un ansamblu de blocuri digitale: PFN, Numarator, DAC. Din punct de vedere funcțional cu noile componente avem posibilitatea de a controla mult mai previzibil și precis tensiunea de control a oscilatorului.

Posibilitatea de a varia frecvența din ieșirea sintetizorului de frecvență cu un circuit de precizie cum este convertorul digital analogic oferă posibilitatea de a controla pasul de variație a frecvenței cu precizie. Acest lucru se poate realiza modificând corespunzător numărul de biți ai convertorului, cât și câștigul oscilatorului

Prin folosirea blocurilor digitale modul de funcționare pe palierul al pompei de sarcină a fost înlocuit cu funcționarea pe front. La pompa de sarcină curentul prin pompă, este proporțional cu lățimea pulsului semnalului de comandă de la PFD. Din acest motiv circuitul nu poate reveni la o stare anterioară în mod predictibil. Folosirea unui circuit convertor DAC comandat de un numarator, ne oferă predictibilitatea celor 2^n stări ale numaratorului. Dacă faza semnalului de referință este decalată înaintea fazei semnalului divizat din ieșirea oscilatorului, numaratorul va primi comandă de a număra direct. Astfel convertorul digital numeric DAC va mari tensiunea de control de la intrarea oscilatorului VCO. Astfel la ieșirea oscilatorului „VCO” vom constata o creștere a frecvenței de oscilație pentru a se putea satisface condiția $\Phi_{div}(t) - \Phi_{ref}(t) = \text{constant}$.

Prin introducerea buclei de reglaj digitală, avem o serie de îmbunătățiri a performanțelor atât de timp de setare a frecvenței datorită caracterului digital al buclei cât și de zgomot prin eliminarea unui contributor major și anume pompa de sarcină. Majoritatea blocurilor folosite sunt digitale, astfel timpul de răspuns la un stimul ce comandă schimbarea între două stări ale buclei sintetizatorului de frecvență este mai mic.

Deoarece oscilatorul buclei digitale este comandat numeric, avem flexibilitatea de a interveni în procesul de comandă putând realiza salturi de frecvență discrete bine determinate sau revenirea la una din stări asta spre deosebire de cazul folosirii unei pompe de sarcină ca mijloc de control a tensiunii, stările nu sunt predictibile sau reproductibile.

1.3.REZULTATELE SIMULĂRII SINTETIZORULUI DE FRECVENȚĂ CU DOUA BUCLE

Proiectarea și simularea la nivel de tranzistor a fiecărui bloc din circuitul DPLL, a fost făcută cu ajutorul simulatorului SPECTRE din mediului CADENCE, folosind procesul tehnologic

de 0.18um de la TSMC. Simularea sintetizorului de frecventa este realizata partial folosind modele descrise in limbajul verilog din cauza resurselor de procesare limitate ale calculatorului folosit in rularea simularilor.

Parametrii sintetizorului de frecventa folositi in cadrul simularii sunt prezentati in tabelul de mai jos:

Tabel 1 Parametrii blocurilor folosite in simularea buclei analogice

Buclea analogica cu reglaj fin si cea digitala cu reglaj grosier		
Frecventa de referinta Fref	100MHz	
Frecventa de iesire oscilator	4.8GHz	
Factor divizare	$25 \times 2 = 50$	
Curent pompa de sarcina	50uA	
Castig Oscilator Fin	10MHz	
Castig Oscilator Grosier	200MHz	
Parametrii FTJ reglaj fin	Rz	62Kohm
	Cz	6.33pF
	Cs	101pF

In figura urmatoare avem schema de test a sintetizorului de frecventa cu doua bucle.

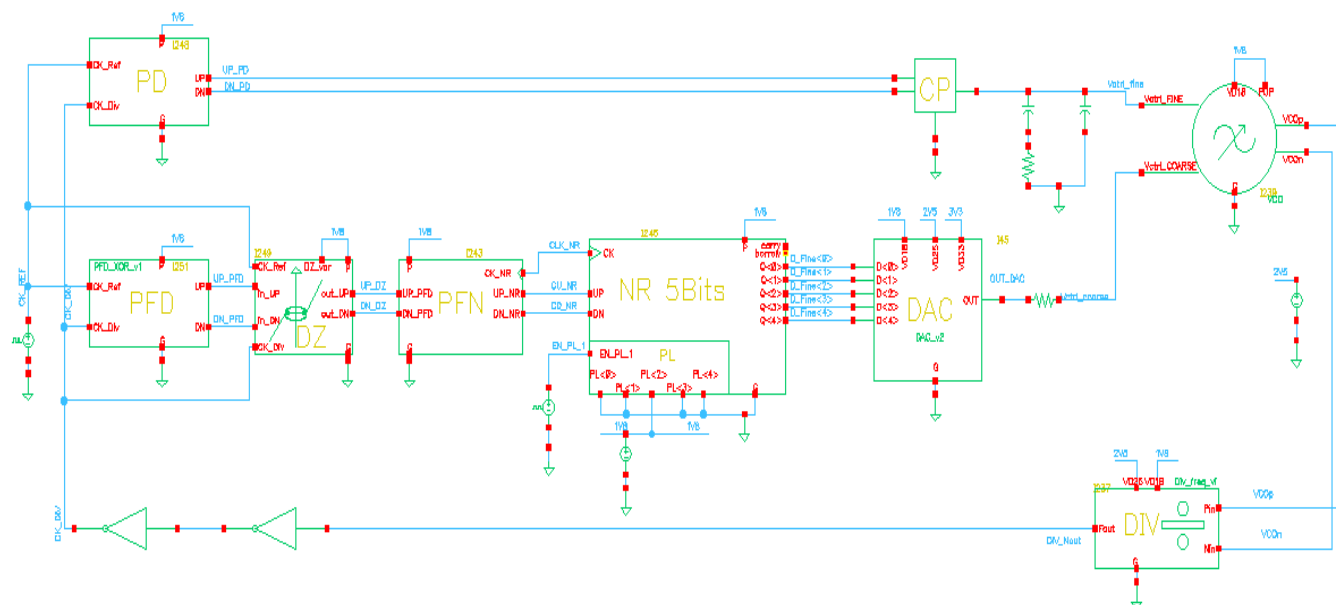


Fig. 4 Schema de test a sintetizorului de frecventa cu doua bucle

Rezultatul simularii in domeniul tranzitoriu a sintetizorului de frecventa cu doua bucle sunt prezentate mai jos:

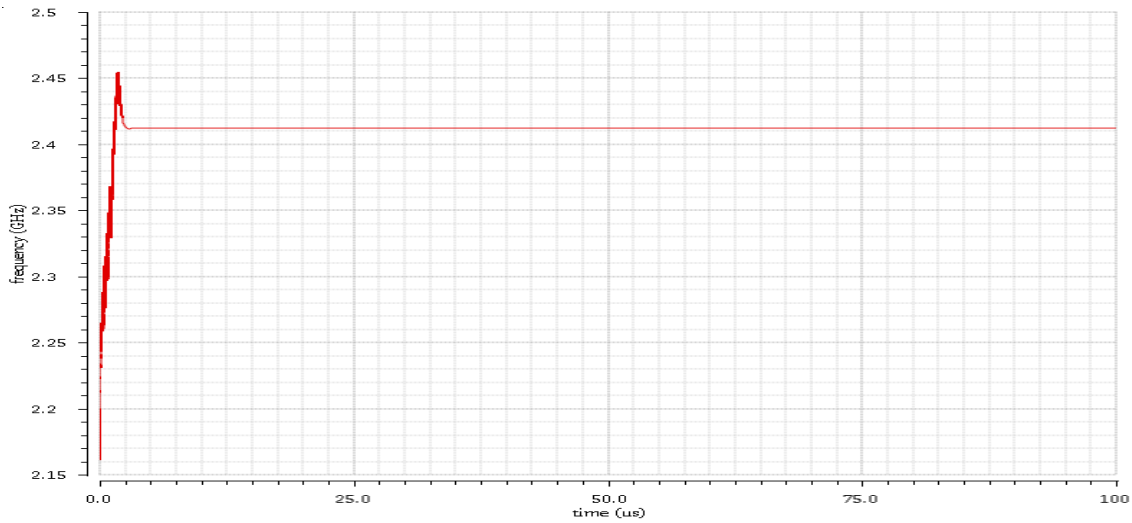


Fig. 5 Frecventa de iesire a sintetizorului la punerea circuitului

Figura de mai sus prezinta frecventa de iesire a sintetizorului de frecventa cu doua bucle, simuland cazul cel mai defavorabil de setare a frecventei si anume in momentul pornirii circuitului. Se observa din figura ca avem un timp de setare rapid, dupa care pana la 100us frecventa de iesire a sintetizorului ramane stabila.

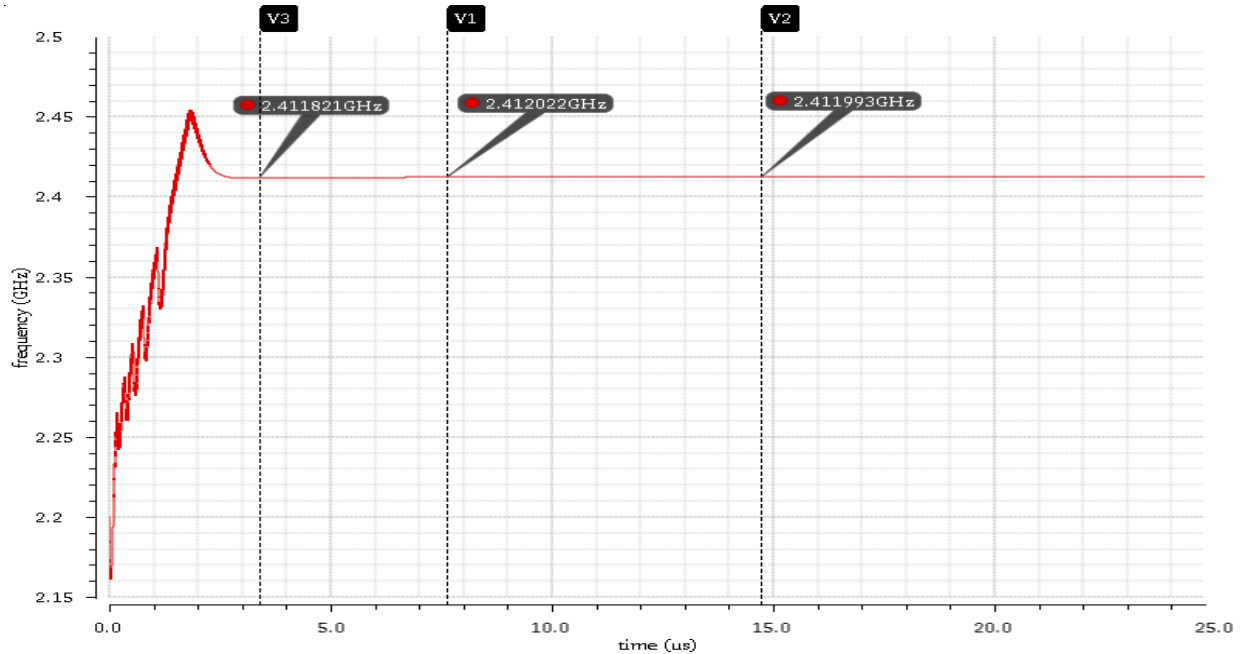


Fig. 6 Frecventa de iesire a sintetizorului la punerea circuitului(detaliu partea de inceput)

Figura de mai sus prezinta doar partea de inceput, primele 25us din simulare pentru a putea vedea in detaliu modul in care se stabilizeaza frecventa. Se observa un regim de achizitie foarte rapid de pana in 3us urmand o stabilizare a frecventei pana in 6.7us in apropiere frecventei dorite. Dupa 6.7us putem spune ca bucla s-a calat si lucreaza in regimul de urmarire deoarece se ajunge

la frecvența setată cu o toleranță ce se încadrează în precizia de $\pm 25\text{ppm}$ calculată ca a fi 60KHz. Se observă de asemenea că regimul tranzitoriu prezintă niste fluctuații cu creșteri și scăderi, comportament ce poate fi cauzat de așa numitul fenomen “cycle sleep”, cauza principală fiind comparatorul de fază și frecvență ce prezintă o limitare de detecție.

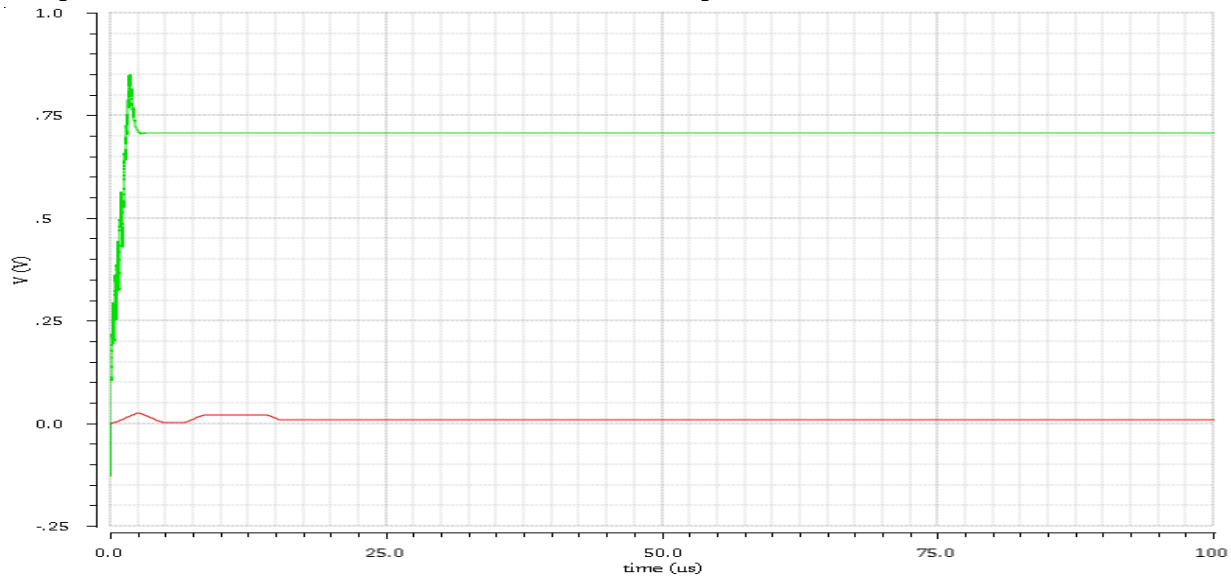


Fig. 7 Tensiunile de control ale oscilatorului pentru reglaj fin(rosu) și grosier(verde)

În figura de mai sus sunt prezentate tensiunile de control a oscilatorului pentru intrările de reglaj fin (rosu) și reglaj grosier a frecvenței(verde).

Se observă că tensiunea pentru controlul grosier (verde) are aceeași alură ca și evoluția frecvenței de ieșire deoarece este contributorul predominantă. De asemenea se observă că avem salturi rapide ce denotă bandă largă a filtrului digital și predispoziția spre un răspuns rapid al sistemului necesar obținerii unui timp de calare rapidă a frecvenței.

Se observă că după 3us o stabilizare a tensiunii de reglaj grosier(verde) urmând că tensiunea de reglaj fin(rosu) să determine frecvența finală de oscilație. Avem o variație lentă a tensiunii de comandă a reglajului fin de frecvență(rosu) ce evidențiază faptul că filtrează semnalele de frecvență înaltă pentru a îmbunătăți zgomotul de fază al sistemului.

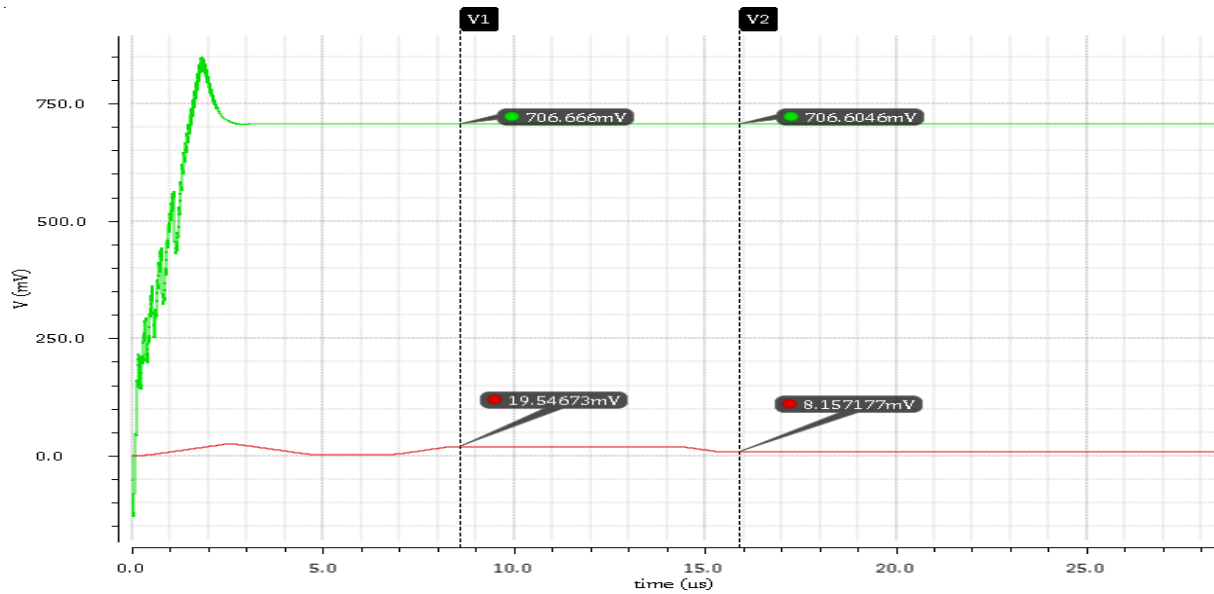


Fig. 8 Tensiunile de control ale oscilatorului (detaliu partea de început)

Figura de mai sus e concentrata pe parte de început, primele 25us pentru a observa în detaliu modul de variație al tensiunii descris anterior.

Semnalul din intrarea oscilatorului de frecvență oglindeste fidel variația semnalului din ieșirea sintetizorului de frecvență. Astfel pe baza tensiunii de control din intrarea oscilatorului putem determina momentul în care sintetizorul de frecvență a ajuns în regimul de urmărire unde frecvența de ieșire a sintetizorului este egală cu frecvența de intrare multiplicată cu factorul de divizare al buclei.

2. REFERINȚA DE FRECVENȚĂ

2.1.DESCRIEREA CIRCUITULUI

În această lucrare o nouă abordare față de soluția clasică este propusă și anume un sintetizor de frecvență ce folosește o referință de frecvență ce oferă în ieșire un set de frecvențe astfel încât frecvențele din ieșirea oscilatorului VCO să poată fi obținute cu un divisor a cărui factor de divizare este neschimbat. Schema referinței de frecvență este prezentată în figura de mai jos:

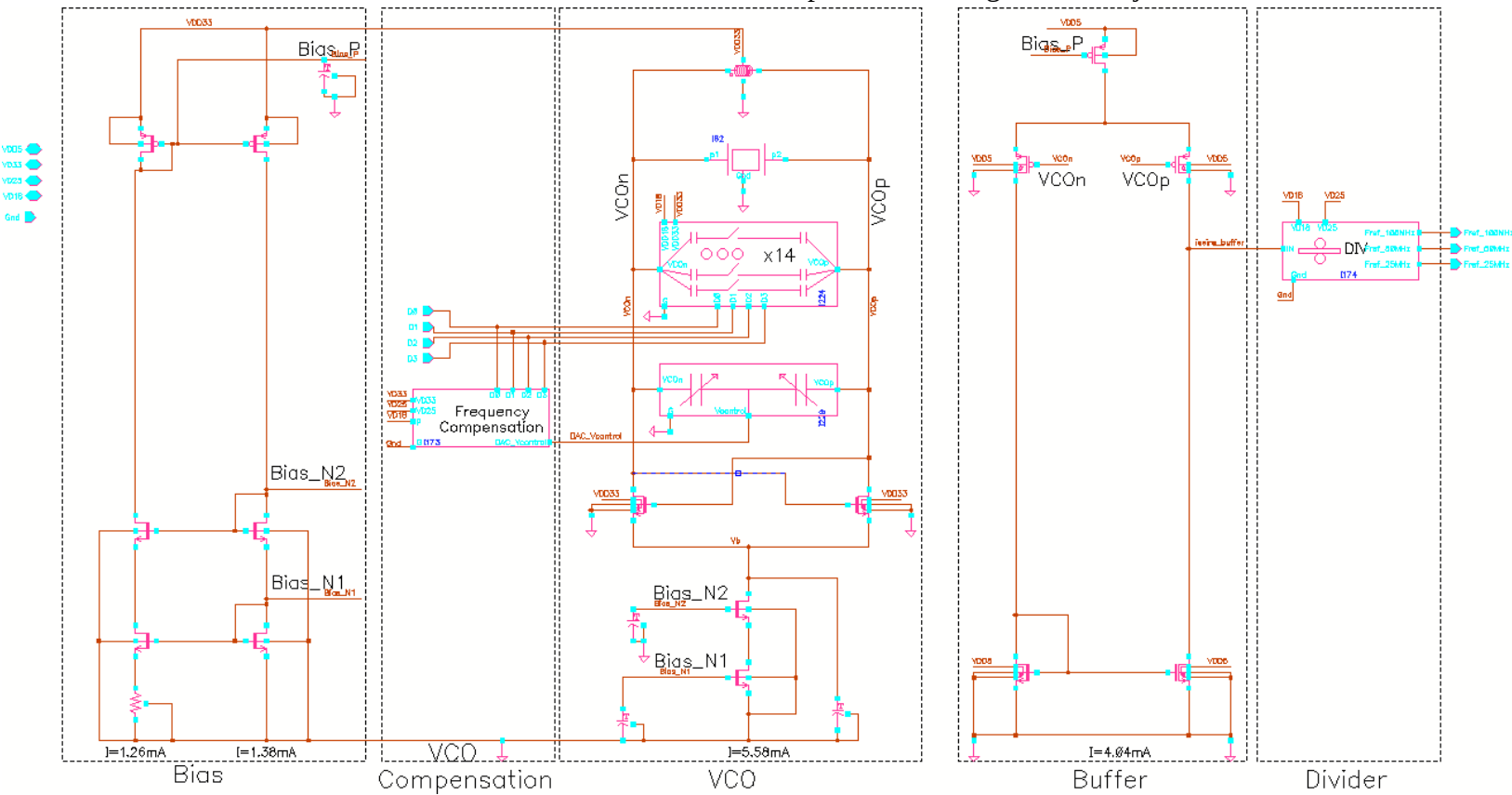


Fig. 9 Schema referinței de frecvență ajustabilă

În figura de mai sus, este prezentată implementarea și caracterizarea unui circuit oscilator cu zgomot de fază mic, folosit ca referință de frecvență pentru un transmitor wireless WLAN.

Referință de frecvență din figura de mai sus conține următoarele blocuri: circuitul BIAS (circuitul de polarizare în DC al oscilatorului), VCO (oscilatorul referinței), Compensation (circuitul de calibrare), BUFFER (circuitul buffer de ieșire), and Divider (divizorul de frecvență).

Referința de frecvență propusă are la bază un rezonator MEMS cu o puritate spectrală înaltă realizată cu AIN și un oscilator CMOS de tip cross coupled.

Datorita variației procesului de producție CMOS, frecvențele de ieșire pot varia cu un anumit procent față de frecvența dorită. Din acest motiv, s-a prevăzut un circuit de calibrare pentru fiecare frecvență în parte (Compensation).

Circuitul de polarizare BIAS al perechii diferențial CMOS este realizat cu ajutorul unui referință de tensiune cascadate de tip Widlar alimentată la o tensiune de 3.3V și consumă un curent de 2.64mA.

Circuitul BUFFER este o pereche diferențială de tranzistoare PMOS ce are ca sarcină activă o oglindă de curent NMOS, fiind polarizată de o sursă de curent de tip PMOS. Tensiunea de alimentare este de 5V consumând un curent de 4.04mA.

Factorul de divizare cu 10 (al blocului DIVIDER) este realizat cu două divizoare clasice, un divizor cu 2 urmat de unul cu 5.

2.2.CIRCUITUL DE CALIBRARE

Frecvența de rezonanță a rezonatorului AlN BAW este influențată de temperatură și procesul tehnologic de producție.

Două principale metode sunt aplicate pentru a compensa deviația frecvenței cu temperatură. Prima metodă folosește o compensare pasivă și poate avea o variație de frecvență de $\pm 40\text{ppm}$ pe întreaga gamă de temperatură [122]. A doua metodă folosește un circuit activ și poate ajunge la o eroare de variație a frecvenței cu $\pm 10\text{ppm}$ pe întreaga gamă de temperatură [123].

Variația procesului CMOS poate avea 30% deviație pentru condensatoare sau rezistoare. În tehnologia AlN, grosimea stratului piezoelectric depus poate varia de la sample la sample influențând frecvența de oscilație a oscilatorului.

Sunt întâlnite metode pasive de calibrare pe baza de trimming pentru a compensa frecvența de ieșire a oscilatorului [124] [125]. Aceste metode sunt potrivite doar pentru o frecvență de ieșire; pentru frecvențe multiple costurile de testare asociate lor sunt crescute.

Ținând cont de faptul că un transceiver wireless este plasat de obicei în interiorul unei clădiri, această locație neavând variații semnificative de temperatură, se propune o nouă abordare pentru a compensa erorile de frecvență în ceea ce privește variația procesului. Schema bloc a circuitului de calibrare a oscilatorului este prezentată în figura următoare.

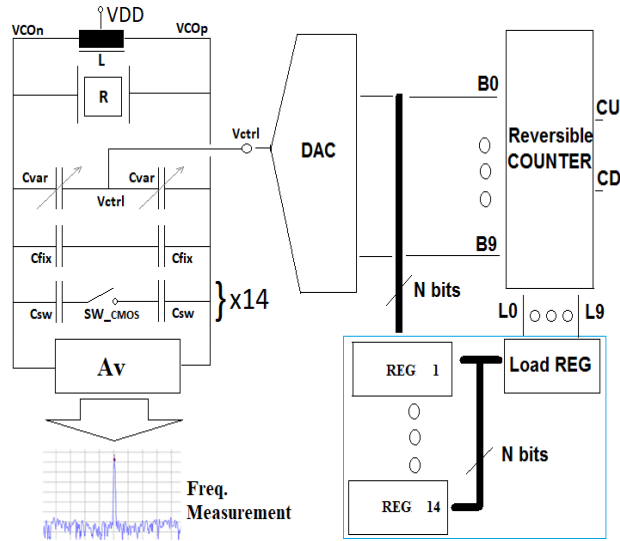


Fig. 10 Schema bloc a circuitului de calibrare

Partea din stânga sus a Fig. 10 prezintă condensatoarele, care sunt utilizate pentru a obține frecvențele de oscilație dorite.

The frequency reference calibration is performed for each of the 14 output communication channels when the wireless transceiver is tested. The channel is selected using the appropriate Csw fixed capacitor pair by closing the appropriate set of SW-CMOS switches. At each frequency we drive the Reversible COUNTER to count up (CU) or to count down (CD) in order to sweep the full range of Vctrl values from the output of the digital to analog converter (DAC). The DAC output voltage controls the variable capacitors Cvar till the desired frequency is obtained. When the Spectrum Analyzer measures this value in the reference output, the reversible counter digital output is recorded in the appropriate nonvolatile register (REG1, ..., REG14). After the calibration process, the result is a 10 bits digital code for each channel frequency generated by this circuit.

In the normal operation of the frequency reference, when a communication channel is selected with a 4 bits digital word, the same word is used to select its 10 bits code for frequency calibration recorded in the nonvolatile memory. This code is loaded into a 10 bits load register (Load Reg) which controls the reversible counter, in order to command the DAC output voltage to drive variable capacitors Cvar to the values corresponding to the prescribed channel frequency.

Calibrarea de referință a frecvenței se efectuează pentru fiecare din cele 14 canale de comunicație de ieșire atunci când este testat transceiverul wireless. Canalul este selectat folosind o pereche de condensatoare fixe Csw, închizând comutatorul SW-CMOS corespunzător. La fiecare frecvență, comandăm variația număratorului reversibil COUNTER pentru a număra în sus (CU) sau pentru a număra în jos (CD în scopul de a balea întreaga gamă de valori Vctrl de la ieșirea convertorului digital în analogic (DAC). Tensiunea de ieșire DAC controlează condensatoarele

variabile Cvar până la obținerea frecvenței dorite. Când Analizorul spectral măsoară valoarea de frecvență nominală, ieșirea digitală a număratorului este înregistrată în registrul nevolatil corespunzător (REG1,..., REG14). După procesul de calibrare, rezultatul este un cod digital de 10 biți pentru fiecare frecvență a canalului de comunicare.

În funcționarea normală a referinței de frecvență, când un canal de comunicare este selectat cu ajutorul unui cuvânt digital de 4 biți (D0-D3), același cuvânt este utilizat pentru a selecta codul său de calibrare de 10 biți înregistrat în memoria nonvolativă pentru a corecta deviația frecvenței. Acest cod este încărcat într-un registru de încărcare de 10 biți (Load Reg) care controlează număratorului reversibil, în scopul de a comanda tensiunea de ieșire DAC pentru a comanda condensatoarele variabile Cvar cu intenția de a ajusta valoarea frecvenței de ieșire.

2.3.REZULTATELE SIMULĂRII REFERINȚEI DE FRECVENȚĂ

Rezultatele simularilor referinței de frecvență prezentate mai jos sunt preluate exact după oscilatorul referinței de frecvență ce are frecvența în jurul valorii de 1GHz, pentru a putea caracteriza semnalul sinusoidal direct de la ieșirile oscilatorului.

2.3.1. Analiza spectrala

Analiza spectrală realizată în figura de mai jos, ne oferă o măsură a purității spectrale din ieșirea referinței de frecvență:

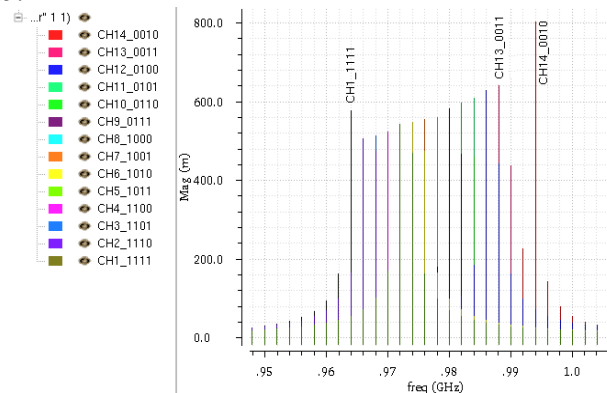


Fig. 11. Reprezentarea spectrală a celor 14 frecvențe ale oscilatorului intern referinței de frecvență

Figura anterioară prezintă reprezentarea spectrală a celor paisprezece frecvențe din ieșirea blocului oscilator. Pentru reprezentare s-a folosit următoarea funcție din mediul de proiectare CADENCE-Spectre: `dft(clip((VT("/VCOp") - VT("/VCON")) 4.9e-07 9.9e-07) 4.9e-07 9.9e-07 16384 "Rectangular" 1 1)`.

Se observă un trend crescător al amplitudinii reprezentării spectrale a ultimilor treisprezece frecvențe. Odată cu adăugarea unui condensator fix în sistemul rezonant în scopul de a schimba canalul de comunicare, frecvența de oscilație scade conform așteptărilor, dar în același timp observăm o influență în valoarea amplitudinii reprezentării spectrale, care scade de asemenea. Acest lucru poate fi corelat cu factorul de calitate al bobinei CMOS care am văzut că în gama de

frecvențe 0.95GHz-1GHz scade cu variația frecvenței de oscilație. Un alt motiv al scăderii amplitudinii, poate fi datorat rezistenței de pierderi a comutatorului condensatoarelor fixe, care degradează factorul de calitate al circuitului rezonant. Astfel adăugând mai multe condensatoare fixe, vor fi adăugate în sistemul rezonant mai multe rezistențe de pierderi datorate comutatoarelor CMOS, fapt ce depreciază factorul de calitate total al sistemului.

2.3.2 Zgomotul de faza al referinței

Specificatia de proiectare **Interferente**=+35 dB (la un ecart de frecvență față de purtătoare de 25 MHz) a standardului de comunicație 802.11g este responsabilă de stabilirea limitei admise în cazul parametrului zgomot de faza. Din această cerință a Standard 802.11g, rezultă că preformanțele de zgomot de faza din ieșirea referinței de frecvență vor trebui să fie mai mici de [-126dBc/Hz @ 25MHz] [110]

Zgomotul referinței de frecvență este amplificat de bucla PLL cu factorul N_{pll} . Ideal zgomotul de faza al unei referințe trebuie să fie cât mai mic. În cadrul proiectării referinței de frecvență, s-au luat în considerare alegerea celor mai convenabile soluții pentru a scădea zgomotul de faza al oscilatorului referinței.

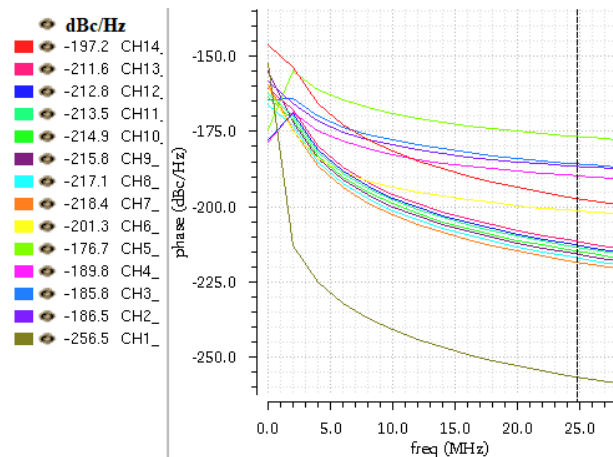


Fig. 12. Simulare referință variabilă de frecvență: Zgomotul de faza al celor paisprezece frecvențe de ieșire

Analiza Spectre folosită pentru a reprezenta zgomotul de faza din ieșirea blocului VCO este următoarea: (PN clip((VT("/VCOp") - VT("/VCOon")) 4.9e-07 9.9e-07) "rising" 0 ?Tnom nil ?windowName "Rectangular" ?smooth 1 ?windowSize 16384 ?detrrending "None" ?cohGain "default" ?methodType "absJitter")

Se observă o variație mare între valorile zgomotului de faza ale celor paisprezece frecvențe de ieșire ale referinței de frecvență. Acest fenomen poate fi datorat factorului de calitate al circuitului care se schimbă în momentul comutării condensatoarelor fixe ce selectează frecvența de oscilație a circuitului.

Așa cum se vede din figura de mai sus, cazul cel mai defavorabil prezintă o valoare de

-176dBc/Hz masurat la o deviatie de 25MHz fata de purtatoare(conform indicatiilor din standard). Putem spune ca ne incadram in standard 802.11g si avem o marja de aproximativ 50 dBc/Hz fata de cerintele impuse de standard.

2.3.3 Stabilitatea frecvenței

Pentru a imbunatati performantele de stabilitate a frecventei de iesire ale circuitului referinta de frecventa, oscilatorul referintei s-a proiectat la inalta frecventa, in jur de 970MHz. la o frecventa de zece ori mai mare decat frecventa necesara in iesire. Folosind o divizare a frecventei cu 10, jitterul sau deviatia frecventei in jurul valorii nominale este diminuada de 10 ori.

Rezultatele simularilor prezentate se obtin ca valorile de zgomot ale iesirii (PLL), referite la intrarea circuitului PLL (ce coincide cu iesirea divizata a oscilatorului referintei). Pornind de la cerintele standardului 802.11g, cu o deviatie a frecventei de iesire a circuitului sintetizor de ± 25 ppm, rezulta o eroare de ± 60 KHz in gama de frecvente de 2.4GHz. Implicit la iesirea oscilatorului referintei de frecventa avem o deviatie maxima acceptata de ± 24 KHz (24.84 KHz pentru CH1 si 24.12 KHz pentru CH14). Rezultatele simularii sunt prezentate in figura urmatoare:

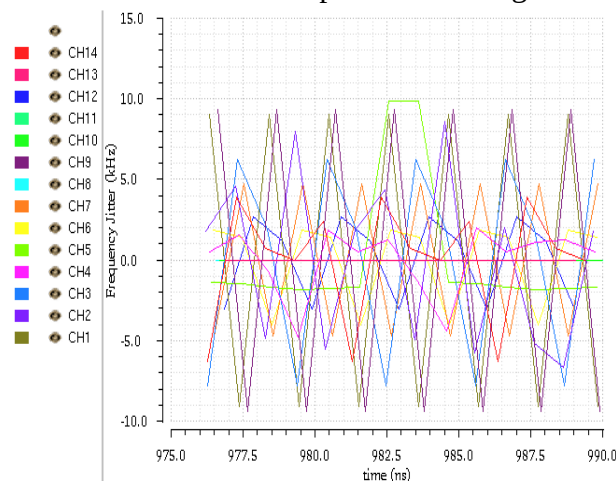


Fig. 13. Simulare referinta variabila de frecventa: Zgomotul jitter al benzilor de frecventa

Analiza Spectre folosita pentru a reprezenta jitter-ul celor paisprezece frecvente din iesirea blocului VCO este urmatoarea : `(freq_jitter clip((VT("/VCOp") - VT("/VCOon"))) 9.75e-07 9.9e-07) "rising" ?mode "auto" ?binSize 0 ?xName "time" ?outputType "plot"`

Se observa din simulare ca jitter-ul oscilatorului referintei de frecventa are o deviatie cuprinsa intre ± 10 KHz, aceasta valoare este de ~ 2.4 ori mai mica decat valoarea maxima admisibila calculată mai sus: $\phi_{osc_ref} = \pm 24$ KHz.

Realizand acest rationament, putem afirma ca din punct de vedere al zgomotului, referinta de frecventa se incadreaza in specificatiile standardului de comunicatie wireless 802.11g.

2.3.4 Timpul de setare a frecvenței (settling time)

Timpul de setare a frecvenței este important pentru o referință de frecvență activă. Acest timp de setare trebuie să fie cât mai mic posibil. În standardul de comunicație wireless 802.11g timpul de setare pentru întreg circuitul PLL este de $\tau_{pll}=224\mu s$.

Ne-am impus ca limita de proiectare valoarea de 1% din timpul de setare a unui circuit PLL.

$$\tau_{ref}=1\% * \tau_{pll}=2.24\mu s$$

Timpul de setare a frecvenței referinței de ieșire $\tau_{ref}=2.24\mu s$ reprezintă timpul necesar referinței de frecvență de a schimba frecvența de ieșire de la un canal la celălalt cât și timpul de necesar stabilizării frecvenței în momentul pornirii circuitului. Vom prezenta analiza cazului cel mai defavorabil și anume timpul de pornire a circuitului referință de frecvență.

Un circuit PLL folosind referință activă prezentat, din momentul primirii la intrare a frecvenței canalului nou selectat, va avea un timp mai mic de stabilizare a frecvenței deoarece și referința de frecvență activă are un timp de stabilizare a frecvenței. Timpul real de setare a frecvenței devine: $\tau_{pll_real}=\tau_{pll}-\tau_{ref}=224\mu s-2.24\mu s=221,76\mu s$

În figura de mai jos este prezentată variația frecvenței de ieșire în momentul pornirii referinței de frecvență variabilă. Forma de undă este preluată de la ieșirea oscilatorului înainte de circuitul buffer.

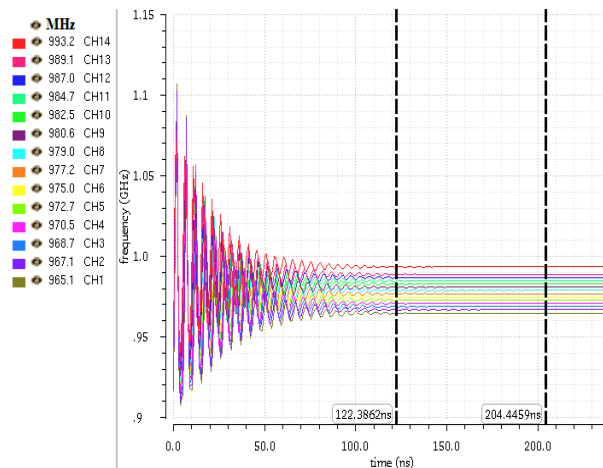


Fig. 14. Timpul de setare a frecvenței de ieșire pentru circuitul referință de frecvență

În figura de mai sus sunt simulate toate cele paisprezece frecvențe de ieșire ale referinței de frecvență. Se observă din simulare că timpul de setare a frecvenței de ieșire pentru circuitul referință de frecvență variază de la frecvență la frecvență. Cel mai mare timp de setare a frecvenței referinței are o valoare de 205ns, echivalentul unei valori de 0.09% din timpul de setare a circuitului PLL ce funcționează la 2.4GHz.

3.CONCLUZII SI CONTRIBUTII ORIGINALE

3.1. CONCLUZII GENERALE

Aceasta teza de doctorat prezinta doua solutii de generare a frecventei in cadrul sistemelor de radio comunicatii wireless WLAN. Prima solutie reprezinta o referinta de frecventa variabila ce are paisprezece frecvente de iesire destinata unei bucle cu calare a fazei. A doua solutie este un sintetizor de frecventa cu doua bucle cu calare a fazei PLL, ce foloseste referinta de frecventa amintita anterior. Ambele circuite sunt compatibile cu standardul de comunicatie WLAN 802.11g care deservește paisprezece canale de comunicatie in domeniu de frecvente 2.412 GHz – 2.484 GHz.

Rezultatele simularilor electrice sunt obtinute folosind simulatorul Spectre din mediul de proiectare CADENCE. Procesul tehnologic de 0.18um folosit in cadrul simularilor provine de la producatorul Taiwan Semiconductor Manufacturing Company (TSMC).

In **primul capitol** este prezentat standardul de comunicatie wireless WLAN ca si aplicatie de functionare pentru sintetizorul de frecventa realizat cu doua bucle cu calare a fazei PLL. Se incepe cu o scurta introducere in domeniul sistemelor de comunicatii wireless WLAN, urmand a trata parametrii cei mai importanti din proiectarea unui sintetizor de frecventa destinat standardului de comunicatie WLAN 802.11g. Sunt prezentate o serie de probleme din sistemele de comunicatii wireless datorate deviatiiilor parametrilor blocurilor din sintetizorul de frecventa PLL.

Capitolul al doilea realizeaza o introducere in domeniul circuitelor sintetizoare de frecventa. Se prezinta metodele de sinteza de frecventa urmand a ne concentra asupra principiului sintezei indirecte de frecventa, avand la baza o bucla cu calare a fazei PLL. Aceasta tehnica s-a impus, atât datorita performantelor legate de banda larga a frecventelor generate, pasul mic de variatie cat si stabilitatea frecventei de iesire.

Sunt evidentiata principalele tipuri de bucle cu calare a fazei, urmand a ne concentra atentia pe doua tipuri de buclele cu calare a fazei (DPLL si ADPLL).

Sintetizor de frecventa propus in aceasta lucrare este realizat cu doua bucle cu calare a fazei PLL, o bucla PLL prezinta caracteristicile circuitelor PLL digitale (DPLL) iar cealalta caracteristicile circuitelor PLL complet digitale(ADPLL). Pentru ambele bucle cu calare a fazei tratate (DPLL si ADPLL), sunt prezentate avantajele si dezavantajele aferente pentru a putea evidientia usor performantele si punctele slabe ale sintetizorului de frecventa cu doua bucle prezentat in capitolul 3.

Bucla cu calare a fazei digitala DPLL poate avea mai multe modalitati de implementare din punct de vedere al blocurilor componente utilizate [cu sau fara pompa de sarcina, filtrul LPF activ sau pasiv, tipul oscilatorului (LC; oscilator inel, etc...)]. S-a considerat prezentarea unei bucle cu calare a fazei digitala ce contine pompa de sarcina si oscilator de tip LC numita si CP-PLL deoarece este cea mai intalnita topologie utilizata in comunicatiile radio. Sunt prezentata blocurile componente, modul de functionare a acestora si problemele intalnite in cadrul buclei cu calare a fazei cu pompa de sarcina CP-PLL.

Bucla cu calare a fazei complet digitala ADPLL poate avea deasemenea mai multe modalitati de implementare din punct de vedere al blocurilor componente utilizate. Se realizeaza

o trecere în revistă a blocurilor componente și modalitățile de implementare, urmând a se descrie pe scurt blocurile care sunt folosite în sintetizorul propus în capitolul 3.

Circuitul propus în **capitolul 3** este proiectat pentru a se încadra în specificațiile de proiectare pentru standardul de comunicație WLAN 802.11g.

În prima parte a capitolului 3 este prezentată funcționarea sistemului PLL cu două bucle propus urmând a se discuta în partea a doua despre modalitatea de proiectare. Simularile realizate în partea a treia vin în scopul de a demonstra că sistemul sintetizor de frecvență propus respectă cerințele impuse de standardul WLAN 802.11g. În ultima parte a capitolului 3 avem o descriere a blocurile din componenta sintetizorului de frecvență propus și modul de funcționare al acestora.

Trendul actual se îndreaptă spre digitalizarea arhitecturilor analogice din considerente de arie, putere, portabilitatea proiectului către alte tehnologii de producție. În întâmpinarea problemelor buclei CP-PLL și cele ale buclei ADPLL semnalate în Capitolul 2, este prezentată schema unui nou sintetizor de frecvență cu două bucle cu calare a fazei. În același timp pentru a optimiza compromisul realizat în proiectarea unui circuit PLL legat de doi parametri: zgomot și timp de calare a buclei, sunt propuse două bucle de reacție

Prima buclă de reglaj fin a oscilatorului este de tip DPLL, ea prezintă un câștig (gain) mic pe buclă și determină o ajustare de finețe a frecvenței din ieșirea sistemului. Deoarece în regimul de urmărire va funcționa doar buclă DPLL vom avea performanțe de zgomot de fază excelente datorită câștigului mic pe buclă ce ne ajută să evităm salturile rapide de frecvență. Filtrul acestei bucle este dimensionat cu o frecvență mică de tăiere pentru a limita variațiile rapide ale tensiunii de comandă a oscilatorului. Buclă DPLL este preponderent analogică fiind formată dintr-un singur bloc digital: detectorul de fază PD și următoarele blocuri analogice: pompa de sarcină CP și filtrul trece jos LPF.

A doua buclă de reglaj grosier a oscilatorului este de tip ADPLL, ea prezintă un câștig (gain) mare pe buclă iar pasul de variație a frecvenței de ieșire a sistemului este aproximativ egal cu gama de frecvență a buclei DPLL. Spunem aproximativ deoarece este necesar de a avea o suprapunere de 20% a benzilor DPLL între doi pași consecutivi de frecvență ADPLL. Deoarece în regimul de achiziție (captură) buclă ADPLL va avea comportament majoritar, determină un timp de calare rapid cu ajutorul câștigului mare pe buclă. Filtrul trece jos trebuie să aibă o frecvență mare de tăiere, pentru a răspunde rapid buclă, dar în același timp o componentă mai mare de zgomot va trece spre oscilator. Buclă ADPLL este realizată preponderent din blocuri digitale: detector de fază și frecvență (PFD), circuit Dead_zone (DZ), circuit formator de impulsuri (PFN), numărator reversibil (Counter) și un singur bloc mixt (convertor digital-analogic).

Divizorul de frecvență prin care se închid ambele bucle (DPLL și ADPLL) are un factor de divizare fix, variația frecvenței de ieșire a sintetizorului este realizată folosind referința de frecvență prezentată în capitolul 4. Reușind performanța de a folosi un divizor de frecvență foarte simplu un avantaj major al sintetizorului de fază și frecvență propus îl constituie faptul că evita zgomotul introdus de un divizor de frecvență de mare complexitate cum este cel de tip întreg sau fracționar.

Un alt avantaj major al noului sintetizor de frecvență cu două bucle propus este de a combina performanțele de zgomot de fază a buclei DPLL cu avantajele unui timp de calare rapid a buclei ADPLL. Combinând cele două tipuri de bucle, obținem un sistem net superior celui cu două bucle DPLL sau două bucle ADPLL.

Capitolul al patrulea se ocupa de proiectarea unei referințe de frecvență variabilă destinată să funcționeze împreună cu sintetizorul de frecvență cu factor de divizare fix propus în capitolul 3. Astfel frecvența din ieșirea sintetizorului de frecvență este schimbată prin variația frecvenței de referință. Se pot selecta paisprezece frecvențe de ieșire ce deservește cele paisprezece canale de comunicație din cadrul standardului wi-fi 802.11g.

Proiectarea și simularea circuitelor electrice ale referinței de frecvență s-au realizat în tehnologie CMOS 0.18μm TSMC. Neavând la dispoziție o tehnologie de proiectare a rezonatorului BAW produs în tehnologie AlN, s-a folosit în simulări un model echivalent BDV cu elemente ideale. Pentru a avea o măsură precisă a modelului rezonatorului, s-a făcut referire la lucrarea [107] unde sunt raportate rezultatele măsurătorilor unui rezonator BAW produs în tehnologie AlN cu caracteristici similare față de cel folosit.

Stabilitatea frecvenței și zgomotul de fază sunt principalele caracteristici ale unei referințe de frecvență. Fiecare bloc din componenta referinței de frecvență a fost proiectat pentru a minimiza sursele de zgomot astfel încât per total zgomotul referinței de frecvență să fie minim.

Această referință de frecvență este realizată dintr-un oscilator variabil de înaltă precizie ce combină avantajele realizării unui factor de calitate Q de peste 1000 cu ajutorul unui rezonator produs în tehnologie AlN și versatilitatea circuitelor produse în tehnologie CMOS.

Amplificatorul A al oscilatorului este alcătuit dintr-o pereche diferențială de tranzistoare NMOS. Circuitul rezonant este o combinație dintre un rezonator piezoelectric BAW și un rezonator CMOS de tip LC. Rezonatoarele micromecanice BAW de tip MEMS prezintă un factor de calitate Q ridicat și înlesnesc compromisul dintre consumul de putere și selectivitate (Q), având un potențial ridicat de versatilitate cu multiple benzi de frecvență [143]. Rezonatorul piezoelectric de tip BAW realizat în tehnologie AlN se poate integra ușor cu procesul de producție CMOS astfel variația frecvenței de ieșire se realizează cu o serie de condensatoare CMOS comutate.

Pentru a compensa variațiile frecvenței de ieșire datorate variației procesului tehnologic de producție CMOS, lucrarea de față propune un circuit de calibrare a variației frecvenței cu variația procesului tehnologic. Metoda de calibrare presupune ca după încapsulare să se realizeze măsurarea celor paisprezece frecvențe de ieșire obținabile iar pentru fiecare frecvență să se stocheze codul de calibrare ce compensează deviația față de valoarea nominală într-o zonă de memorie nevolatilă (ex. siguranță fuzibilă sau memorie EPROM). Astfel în funcționarea normală a circuitului sintetizor, cu aceleași patru biți se selectează cele paisprezece frecvențe de ieșire să se activeze și codul unic de calibrare aferent frecvenței selectate.

3.2 CONTRIBUȚII ORIGINALE

În această teză de doctorat se pot evidenția următoarele soluții originale:

3.2.1 Sintetizor de frecvență

În capitolul 3 este prezentat sintetizorul de frecvență propus ce prezintă două bucle de reacție ce comandă două intrări separate ale aceluiași oscilator comandat în tensiune. Acest sistem conține o serie de contribuții originale prezentate în cele ce urmează:

3.2.1.1 Eliminarea divizorului de frecvență programabil și introducerea unui fix

Divizorul de frecvență de tip întreg sau cel fracțional sunt circuite generatoare de zgomot datorită logicii suplimentare necesare pentru a putea schimba factorul de divizare. Modificând frecvența de ieșire a sintetizorului cu ajutorul referinței de frecvență variabile [vezi capitol 4], ne oferă șansa de a folosi un divizor cu factor de divizare fix. Astfel structura și complexitatea circuitului divizor de frecvență se simplifică substanțial, diminuându-se implicit și zgomotul aferent.

În literatura de specialitate nu am găsit un sintetizor de frecvență cu buclă cu calare a fazei ce lucrează la înaltă frecvență (2.4GHz, comunicații WiFi) și care are divizor cu factor de divizare fix.

3.2.1.2 Sintetizorul de frecvență cu o buclă DPLL și una ADPLL

Literatura de specialitate prezintă destule exemple de circuite sintetizatoare cu două bucle de calare a fazei de digitale (DPLL) sau mai nou cu două bucle cu calare a fazei complet digitale (ADPLL) [vezi subcapitol 2.4]. Un element de noutate în cadrul sintetizorului de frecvență propus îl constituie faptul că cele două bucle de reacție sunt diferite în acest mod reușind să îmbunătățească modul de funcționare cu două bucle cu ajutorul avantajelor particulare a fiecărui tip de buclă.

În cadrul circuitului sintetizor cu două bucle propus, combinăm avantajul rezoluției mici a frecvenței de ieșire caracteristic circuitelor DPLL, cu avantajul unui timp de setare rapid a frecvenței de ieșire oferit de o buclă ADPLL. Din această cauză în comparația circuitului PLL propus cu două bucle cu circuitul DPLL sau ADPLL, prezintă o rapiditate a achiziției de fază mai bună decât circuitul DPLL și o rezoluție a frecvenței mai bună decât în cazul circuitului ADPLL [27]

3.2.1.4 Îmbunătățirea procesului de captare a semnalului

Pentru a reduce timpul de calare a circuitului PLL, achiziția de frecvență este ajutată cu un circuit numit în literatura de specialitate ajutator. Logica digitală folosită în circuitele ajutatoare complică mult schemele electrice ale buclilor PLL, dar ușurează mult munca utilizatorului și mărește performanța circuitului final. Totuși există avantajul că circuitul ajutator se produce în aceeași capsulă cu sintetizorul de frecvență [8].

Avem un mare avantaj în cadrul sintetizorului propus, deoarece folosim pe post de circuit ajutator părți deja existente în sintetizor, deci nu există o logică suplimentară.

Pentru a reduce timpul de calare a sintetizorului de frecvență propus, achiziția de frecvență este ajutată prin două procedee:

- Utilizăm două bucle de reglaj, dintre care buclă ADPLL cu câștig mare asigură o bandă de captare a frecvenței mari.

-Pornim cu tensiunea de control a oscilatorului de la o valoare foarte apropiată de cea la care frecvența sa de ieșire este calată

Circuitul ajutator este implementat cu bucla ADPLL care prezintă posibilitatea de a predefini frecvența de oscilație cu ajutorul încărcării paralela a număratorului. Pe încărcarea paralela a număratorului putem pune combinația digitală ce setează ieșirea convertorului digital analogic DAC la valoarea de tensiune de control necesară oscilatorului pentru a oscila pe frecvența dorită. În acest fel putem stabili pentru o anumită perioadă o valoare a frecvenței inițiale de oscilație care este foarte apropiată de valoarea frecvenței de calare.

3.2.1.2 Modul de realizare a celei de-a doua bucle de comandă a oscilatorului ADPLL

Buclea ADPLL prezentată în sintetizor de frecvență cu două bucle din această lucrare reprezintă un concept original, inspirat din modul de realizare a sintezei de frecvență directă. Bucla introdusă are toate blocurile componente realizate digital și lucrează pe frontul semnalului, înlocuind modul de lucru pe palier utilizat în controlul blocului pompa de sarcină din bucla DPLL.

Un element inedit îl constituie modul prin care bucla de reglaj grosier ADPLL în cadrul circuitului sintetizor se activează automat în funcție de necesitatea utilizării acesteia doar pentru cazul defazărilor mari dintre semnalele de intrare. Astfel bucla ADPLL va funcționa la pornirea circuitului sintetizor și în momentul salturilor mari de frecvență asigurându-se o achiziție de fază foarte rapidă. În momentul în care frecvența din ieșirea oscilatorului, se apropie de valoarea de regim permanent, bucla complet digitală ADPLL, își va înceta activitatea în mod automat. Pentru reglajele fine de frecvență se va folosi doar bucla analogică. Acest mod de funcționare prezintă avantajul obținerii unui timp de calare mic cât și un zgomot de fază redus.

Buclea cu calare de fază prezentată în capitolul este un concept original, ce oferă o serie de avantaje datorită înlocuirii pompei de sarcină cu o serie de blocuri digitale ce prezintă posibilitatea de a controla mai precis tensiunile de comandă a oscilatorului.

Marele avantaj al acestui tip de funcționare al circuitului, îl constituie faptul că sistemul este autonom, și poate decide singur când să suprimă funcționarea buclei de reglaj grosier ADPLL, prin utilizarea blocului dead zone DZ.

3.2.1.2 Îmbunătățire zgomot de fază

Principala metodă de scăderea a zgomotului de fază a sintetizorului se realizează prin scăderea castigului blocurilor din componenta buclei analogice care este folosită în regimul de urmărire. Astfel reușim să micșorăm curentii pompei de sarcină implicit și zgomotul determinat de acestea.

O altă metodă de scăderea zgomotului o reprezintă folosirea a două bucle. Putem transfera majoritatea castigului pe cea de-a doua buclă. Pentru un settling time rapid al celei de-a doua bucle avem nevoie de curenți I_{UP} , I_{DN} mari în ieșirea pompei de sarcină. Un curent mare în pompa de sarcină, implică mărirea dimensiunilor tranzistoarelor CMOS din componenta surselor de curent și comutatoarelor CMOS. Un tranzistor mai mare are o capacitate echivalentă la intrare mai mare. Detectorul de frecvență trebuie să comande o capacitate mai mare în ieșirea astfel încât să apară dezavantajul zonei moarte din caracteristica de transfer ce conduce implicit la probleme de

zgomot. Inlocuind bucla a doua ce prezinta un castig mare al blocurilor componente cu o bucla digitala, toate problemele de zgomot amintite mai inainte dispar.

3.2.1.5 Circuit formator de impulsuri PFN

Circuit formator de impulsuri PFN ce face legatura intre blocul detector de faza si frecventa PFD si blocul numarator NR este un concept original proiectat special pentru acest caz particular de conversie a semnalului digital cu factor variabil de umplere provenit de la detectorul de faza si frecventa, in semnal digital cu factor de umplere 50%. Avem nevoie de acest bloc deoarece controlul sensului de numarare nu se poate face cu un semnal ce are latimea pulsului ingusta provenita din iesirea circuitului detector de faza si frecventa.

Modul de proiectare al circuitului PFN nu este inspirat ci mai bine zis proiectat special pentru functionalitatea necesara intregului sistem sintetizor. Ideia de baza pentru a asigura la intrarea numaratorului un semnal de comanda cu latime de puls suficienta pentru a mentine sensul de numarare este sa realizam o divizare cu patru a semnalului din iesirea detectorului de frecventa la care se adauga o logica simpla de control pentru a avea o singura iesire activa la un moment dat.

3.2.2 Detectorul de faza de mare viteza

Schema detectorului propus in subcapitolul 3.4.1.2 este mai buna decat schema High speed low power PFD prezentata la punctul 2.1.1 deoarece are avantajul unui timp mai mic de propagare prin detector. In schema propusa reusim sa eliminam elementul de intarziere de pe calea de semnal care este prezent in schema High speed low power PFD de la punctul 2.1.1

Schema propusa in 3.4.1.2 e realizata cu blocuri digitale spre deosebire de schema High speed low power PFD de la punctul 2.1.1. Acest lucru ii confera avantajul de a avea o portabilitate mai buna la schimbarea procesului de productie.

3.2.3 Referinta de frecventa

In capitolul patru avem urmatoarele contributii originale:

3.2.3.1 Referinte de frecventa cu paisprezece frecvente de iesire

Referinta de frecventa cu paisprezece valori comutabile cuprinse in intervalul 96.48MHz-99.36 MHz ce este proiectata pentru a indeplini constrangerile standardul de comunicatie wireless 802.11g. Referinta de frecventa ofera posibilitatea de a selecta frecventa de iesire a circuitului sintetizor de frecventa(de tip PLL) prin schimbarea valorii frecventei de referinta si nu a factorului de divizare a buclei PLL cum este in mod obisnuit. Astfel putem facilita schimbarea frecventelor aferente celor paisprezece canale de comunicatie ale standardului de comunicatie wireless 802.11g, cu ajutorul frecventei de referinta.

Realizarea unei referinte de frecventa cu paisprezece frecvente de iesire selectabile este destul de dificila avand multiple constrangeri cu privire la valoarea maxima a frecventei obtenabile

și factorul de calitate. Referința de frecvență propusă de noi care are frecvența oscilatorului intern nedivizată aprox. 1GHz este mai bună spre deosebire de alte lucrări unde întâlnim un număr maxim de 4 frecvențe generate (176MHz, 222MHz, 307MHz și 482MHz) cu o frecvență maximă de 482MHz [133]. În cazul [133] variația frecvenței se face cu ajutorul a patru circuite rezonatoare BAW spre deosebire de cazul nostru unde variația frecvenței se realizează cu ajutorul unui rezonator adițional CMOS de tip LC. Obținem o degradare a factorului de calitate, dar câștigăm o gamă extinsă de valori ce pot fi comutate.

3.2.3.2 Metoda de proiectare a rezonatorului

Modalitatea de proiectare a circuitului referința de frecvență este un procedeu iterativ deoarece avem două rezonatoare ce sunt conectate în paralel, cu caracteristici de frecvență diferite care trebuie acordate să funcționeze pe aceeași frecvență.

Metoda de proiectare a modului de selecție a celor paisprezece frecvențe este inovativă deoarece elementele LC_CMOS și cele BAW au o relație de interdependență ce necesită reproiectarea unuia dintre rezonatoare la modificarea celuilalt.

Bobina L_CMOS are rolul de a crește frecvența de rezonanță paralelă f_p a rezonatorului BAW față de rezonanța serie f_s , în scopul de a oferi posibilitatea condensatoarelor comutate Csw_CMOS să selecteze cele paisprezece canale de comunicație wi-fi prin scăderea frecvenței f_p către f_s . Ideea principală este să se dimensioneze capetele intervalului de frecvențe astfel să avem o idee despre capacitatea totală necesară pentru a balea acest interval de frecvențe. Prin iterații succesive de simulare, se distribuie capacitatea totală pe cele paisprezece condensatoare comutate Csw.

3.2.3.3 Metoda de compensare a variației frecvenței

Metoda de compensare a variației frecvenței de ieșire a blocului referința de frecvență odată cu variația procesului de producție CMOS/AlN este concepută în scopul de a minimiza interacțiunea operatorului uman în modul uzual de funcționare al circuitului.

În producția de masă putem găsi o metodă pasivă de a compensa frecvența de oscilație cu variația procesului tehnologic bazată pe procedeul de trimming [114][115]. Această metodă de trimming este potrivită pentru cazul în care oscilatorul este centrat doar pe o frecvență nominală de oscilație. În cazul unui oscilator cu mai multe frecvențe nominale de ieșire este nevoie de o nouă abordare. Lucrarea de față se concentrează pe realizarea unei metode de compensare a frecvenței cu procesul, potrivită pentru oscilatoarele cu frecvențe multiple de ieșire. Noua metodă de compensare este una dinamică oferind multiple modalități de comandă datorită posibilității de control software.

Metoda de compensare a frecvenței în sine prezintă o colecție de elemente inovative ce sunt enumerate în cele ce urmează:

- Posibilitatea duală de stocare a celor paisprezece coduri de calibrare cu ajutorul unor soluții nevolatile: memorii EPROM în cazul în care sistemul folosește un microcontroller, în caz contrar avem o serie de siguranțe fuzibile către masă sau alimentare care pot stoca codurile de calibrare în format binar 1 și 0.

- Modalitatea de incarcare a codurilor de calibrare si generarea tensiunii ce comanda condensatorul variabil pentru a compensa frecventa. Cele paisprezece coduri de calibrare pe 10biti sunt preluate din mediile de stocare nevolatile si transferate folosind protocolul SPI local in interiorul blocului referinta de frecventa in paisprezece registre denumite registre de stocare. Transferarea locala a codurilor de calibrare este necesar pentru a putea minimiza timpul de setare a frecventei unui canal nou selectat. Aplicarea codului de calibrare se selecteaza implicit folosind aceeasi 4biti digitali ce controleaza selectia canalului de comunicatie. Astfel la selectarea unui canal nou de comunicatie, se activeaza si comunicarea cu registrul care contine codul lui de calibrare. Codul de calibrare este taransferat prin comunicatie SPI catre un registru denumit registru de incarcarecare este aplicat paralel numaratorului care comanda un convertor numeric-analogic, a carui iesire analogica asigura tensiunea necesara pentru a modifica capacitatea condensatorului variabil din rezonator. Aceasta modificare este facuta in sensul compensarii dezechilibrului frecventei de iesire datorate variatiei procesului de fabricatie CMOS.

3.2.3.4 Realizarea in aceeaasi capsula a referintei si a sintetizorului

Interfatarea in aceeaasi capsula a referintei de frecventa impreuna cu circuitul sintetizor de frecventa. Referinta de frecventa propusa foloseste ca element principal un rezonator de tip BAW realizat in tehnologie AlN ce prezinta o compatibilitate foarte buna cu procesul de productie CMOS. Datorita compatibilitatii foarte bune intre tehnologia AlN si CMOS este posibila realizare in aceeaasi capsula a unui intreg transmitator wireless 2.4GHz ce lucreaza conform standardului 802.11g.

LISTA LUCRĂRILOR ELABORATE DE AUTORUL TEZEI

[1] Iulian Ursac, Florin Constantinescu “ *Calibration of a Frequency Reference for the Communications Standard 802.11g*”, International Symposium on Fundamentals of Electrical Engineering, University Politehnica of Bucharest, November 5-7, **2020**.

[2] Iulian Ursac, Florin Constantinescu “ *A New Dual Loop Frequency Synthesizer for the Wireless Standard 802.11g*”, International Symposium on Fundamentals of Electrical Engineering, University Politehnica of Bucharest, November 5-7, **2020**.

[3] Iulian Ursac, Florin Constantinescu, Mihai Marin, “*A frequency reference for carrier synthesis in wireless standard 802.11g*”, The Scientific Bulletin of the Electrical Engineering Faculty – Volume 20 (**2020**): Issue 1 (April 2020), pp. 56-61, ISSN 2286-2455,

DOI: 10.2478/SBEEF-2020-0112

[4] Mihai-Eugen Marin , Catalin Brinzei, Florin Constantinescu, Alexandru Gheorghe, Iulian Ursac, “*Design of a 8 bit current steering DAC for a GSM transmitter*”, International Symposium on Fundamentals of Electrical Engineering, November 28-29 2014, University Politehnica of Bucharest, Romania. **INSPEC: 14949280, WOS 000380570500033**.

<https://ieeexplore.ieee.org/abstract/document/7050565?section=abstract>

[5] Iulian Ursac, Catalin Brinzei “*Dual Loop PLL for a Radio Frequency Transceiver*”, Universitatea “Politehnica” din București, Inginerie Electrică, 14 Decembrie SNET 2012. **Google Scholar**

<https://pdfs.semanticscholar.org/3d1f/b1d656e9de52d94007cac32074f55a3161fb.pdf>

[6] Catalin Brinzei, Iulian Ursac “*Frequency mixer based on a resistor string Digital-to-Analog converter*”, Universitatea “Politehnica” din București, Inginerie Electrică, 14 Decembrie SNET 2012. **Google Scholar**

<http://snet.elth.pub.ro/snet2012/volume/P1.18.pdf>

[7] Catalin Brinzei, Florin Constantinescu, Iulian Ursac “*Digital mixer with current steering DAC*”, Universitatea “Politehnica” din București, Inginerie Electrică, 14 Decembrie SNET 2012. **Google Scholar**

<http://snet.elth.pub.ro/snet2012/volume/P1.10.pdf>

[8] Ursac Iulian, Ivu Ciprian, „Sistem of Surview using Accelerometer Sensor”, Third European Conference on Intelligent Systems and Technologies, 21 - 23 July ECIT'2004

<http://www.etc.tuiasi.ro/sibm/ECIT'2004/program.htm>

[9] Iulian Ursac, Catalin Brinzei, “Sintetizor de Frecvență PLL cu Arhitectura Digitala”, Universitatea “Politehnica” din București, Inginerie Electrică, 3-4 Decembrie SNET 2010.

<http://snet.elth.pub.ro/snet2010/index.php?action=program>

[10] Catalin Brinzei, Iulian Ursac “*Low Noise Amplifier in combination with the differential down-conversion mixer utilizing the current-reuse technique*”, Universitatea “Politehnica” din București, Inginerie Electrică, 3-4 Decembrie SNET 2010.

<http://snet.elth.pub.ro/snet2010/index.php?action=program>

[11] Iulian Ursac, Catalin Brnzei “Sintetizor de frecventa cu oscilator comandat digital”, Universitatea “Politehnica” din București, Inginerie Electrică, SNET 2009.

<http://snet.elth.pub.ro/snet2009/index.php?action=program>

[12] Catalin Brnzei, Iulian Ursac “*Power mixer for conversion from low to high frequency CMOS*”, Universitatea “Politehnica” din București, Inginerie Electrică, SNET 2009.

<http://snet.elth.pub.ro/snet2009/index.php?action=program>

[13] Catalin Brnzei, Iulian URSAC “*Ring Oscillator design*”, Tutorial, Universitatea “Politehnica” București, Inginerie Electrică, 14 Iulie 2010.

BIBLIOGRAFIE

- [1] R. Jacob Baker „CMOS CIRCUIT DESIGN, LAYOUT, AND SIMULATION THIRD EDITION”, Copyright © 2010 by the Institute of Electrical and Electronics Engineers, ©John Wiley & Sons, Inc
- [2] Floyd M. Gardner “PHASE LOCK TECHNIQUES” third edition, Palo Alto-California, ©John-Wiley & Sons, Inc., New York, 2005
- [3] Roland E. Best, “PHASE LOCKED-LOOPS: THEORY, DESIGN, AND APPLICATIONS, Fourth Edition”, ©Mc-Graw Hill, 1999
- [4] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer „ANALYSIS AND DESIGN OF ANALOG INTEGRATED CIRCUITS, Fourth Edition, ©John Wiley & Sons, 2001
- [5] C. D. Montchenbacher, J. A. Connelly „LOW NOISE ELECTRONIC SYSTEM DESIGN”, © 1993, Published by John Wiley & Sons
- [6] Dean Banerjee „PLL PERFORMANCE, SIMULATION, AND DESIGN, fourth edition”, © 2006, National Semiconductor
- [7] Behzad Razavi, „RF MICROELECTRONICS”, © 1998, Prentice Hall PTR
- [8] Behzad Razavi, „DESIGN OF ANALOG CMOS INTEGRATED CIRCUITS”, ©2001, McGraw-Hill Book Co
- [9] Michael H. Perrott, „SHORT COURSE ON PHASE-LOCKED LOOPS. ANALOG FREQUENCY SYNTHESIZERS”, ©September 16, 2009, IEEE Circuit and System Society, San Diego, CA
- [10] Keliu Shu, Edgar Sánchez-Sinencio, “CMOS PLL SYNTHESIZERS: ANALYSIS AND DESIGN”, ©2005 Springer Science + Business Media, Inc.
- [11] Randall W. Rhea, “OSCILLATOR DESIGN AND COMPUTER SIMULATION” Second Edition, © 1995 by Noble Publishing Corporation
- [12] Dean Benarjee, “PLL BUILDING BLOCKS”, ©National Semiconductor
- [13] Danny Abramovitch, „Phase-Locked Loops: A Control Centric Tutorial”, Agilent Labs, May 8, 2002
- [14] Bortecene Terlemez, „OSCILLATION CONTROL IN CMOS PHASE-LOCKED LOOPS”, Georgia Institute of Technology, PhD Thesis, November 2004
- [15] Prof. dr. ing. Andrei Câmpeanu, “CIRCUITE DE TELECOMUNICAȚII, Sintetizoare de frecvență PLL”
- [16] Shen-Iuan Liu, “ANALYSIS AND DESIGN OF PHASE-LOCKED LOOPS”, Depart. of Electrical Engineering National Taiwan University, Email: lsi@cc.ee.ntu.edu.tw
- [17] Deepika Ghai, Neelu Jain “ALL-DIGITAL PHASE LOCKED LOOP (ADPLL) -A REVIEW” International Journal of Electronics and Computer Science Engineering, ISSN- 2277-1956, pp. 94-101

- [18] P.E. Allen, “LECTURE 050 – LINEAR PHASE LOCK LOOPS - I- INTRODUCTION TO PHASE LOCK TECHNIQUES”, 2003
- [19] Mark A. Wickert, “PHASE-LOCKED LOOPS WITH APPLICATIONS”, ECE 5675/4675 Lecture Notes, Spring 2011
- [20] Kaushik Mazumdar, “PHASE DETECTOR/PHASE FREQUENCY DETECTOR”
http://venividiwiki.ee.virginia.edu/mediawiki/images/2/2b/PFD_PRESENTATION.ppt
- [21] Vello MÄNNAMA, Toivo PAAVLE, “LINEARITY RESTRICTIONS FOR A CLASS OF PHASE FREQUENCY DETECTORS”, Proc. Estonian Acad. Sci. Eng., 2001, 7, 4, 331–346
- [22] Howard Luong, “DESIGN OF PHASE-FREQUENCY DETECTORS (PFD), CHARGE PUMPS, AND LOOP FILTERS”, URL: <http://www.ee.ust.hk/~eeluong>
- [23] Woogeun Rhee, “DESIGN OF HIGH-PERFORMANCE CMOS CHARGE PUMPS IN PHASE-LOCKED LOOPS”, 0-7803-5474-5/99/\$10.00(C)1999 IEEE, pp 545-548
- [24] Z. Yang, Y. Chen, S. Yang, PUI-IN Mak, RUI P. Martins, “A 10.6-MW 26.4-GHZ DUAL-LOOP TYPE-II PHASE-LOCKED LOOP USING DYNAMIC FREQUENCY DETECTOR AND PHASE DETECTOR” IEEE Access, VOLUME 8, 2020, pp 2222-2232, Digital Object Identifier 10.1109/ACCESS.2019.2962060
- [25] Jakob Vovnoboy, Run Levinger, Nadav Mazor, Danny Elad, “A Dual-Loop Synthesizer With Fast Frequency Modulation Ability for 77/79 GHz FMCW Automotive Radar Applications” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 53, NO. 5, MAY 2018, pp. 1328-1337
- [26] P.E. Allen, “LECTURE 080 – ALL DIGITAL PHASE LOCK LOOPS (ADPLL) (Reference [2])”, ECE 6440 - Frequency Synthesizers, 2003
- [27] G. Carpenter, A. Vize, “ADPLL: All Digital Phase-Locked Loop Circuits”, EE295 Spring 2008
- [28] Wissam ALTABBAN, “CONCEPTION PORTABLE D'UNE ADPLL POUR DES APPLICATIONS TV”, École Doctorale d'Informatique, Télécommunications et Électronique de Paris, PhD, Dec. 2009
- [29] Stefan Mendel, “SIGNAL PROCESSING IN PHASE-DOMAIN ALL-DIGITAL PHASE-LOCKED LOOPS”, Signal Processing and Speech Communication Laboratory Graz University of Technology, Austria, PhD, Oct. 2009
- [30] Chun-Ming Hsu, “TECHNIQUES FOR HIGH-PERFORMANCE DIGITAL FREQUENCY SYNTHESIS AND PHASE CONTROL”, © Massachusetts Institute of Technology, Msc., 2008
- [31] Scott Edward Meninger, “LOW PHASE NOISE, HIGH BANDWIDTH FREQUENCY SYNTHESIS TECHNIQUES”, © Massachusetts Institute of Technology, PhD, 2005.
- [32] Han-Woong Son, “A FULLY INTEGRATED FRACTIONAL-N FREQUENCY SYNTHESIZER FOR WIRELESS COMMUNICATIONS”, © Georgia Institute of Technology, PhD, April 2004
- [33] Matthew A. Z. Straayer, “NOISE SHAPING TECHNIQUES FOR ANALOG AND TIME TO DIGITAL CONVERTERS USING VOLTAGE CONTROLLED OSCILLATORS”, © MASSACHUSETTS INSTITUTE OF TECHNOLOGY, PhD, June 2008
- [34] Dennis Fischette, “FIRST TIME, EVERY TIME – PRACTICAL TIPS FOR PHASE-LOCKED LOOP DESIGN”, Website: <http://www.delroy.com>
- [35] Michael H. Perrott, “SHORT COURSE ON PHASE-LOCKED LOOPS. DIGITAL FREQUENCY SYNTHESIZERS”, IEEE Circuit and System Society, San Diego, CA, September 16, 2009
- [36] Liangge Xu, Jukka-Pekka Pöyhtäri, Saska Lindfors, “ALL DIGITAL PLL FOR RF TRANSMITTER”, CROPS Workshop, Trondheim 19.-20. 9. 2006

- [37] *Danny Abramovitch*, "PHASE-LOCKED LOOPS: A CONTROL CENTRIC TUTORIAL", © Agilent Labs, May 2002, http://www.labs.agilent.com/personal/Danny_Abramovitch/pubs/
- [38] *Stephan Henzler*, "A TUTORIAL ON ROBUST HIGH-RESOLUTION TIME-TO-DIGITAL CONVERTERS" Technische Universität München, 2011
- [39] *Chen Yao*, "TIME TO DIGITAL CONVERTER USED IN ALL DIGITAL PLL", Master of Science Thesis, Stockholm, 08, 2011
- [40] *Stephan Henzler*, "TIME TO DIGITAL CONVERTERS", ©Springer Science+Business Media B.V. 2010
- [41] *Jussi Ryyänen, Saska Lindfors, Kari Stadius, and Kari A.I. Halonen*, Integrated Circuits for Multi-Band Multi-Mode Receivers, IEEE Circuits and Systems Magazine, Second quarter 2006
- [42] *David Su* (Qualcomm Atheros, San Jose, California), Designing CMOS Wireless System-on-a-chip— analog/RF perspective, Japan, Nov 2011
- [43] *Jeffrey M. Gilbert, Chinh H. Doan, Sohrab Emami, C. Bernard Shung*, A 4 Gbps Wireless True Uncompressed 1080p-Capable HD A/V Transceiver Using 60 GHz, SiBEAM, Inc.2007
- [44] *Yi-Hung Wei, Quan Leng, Song Hany, Aloysius K. Moky, Wenlong Zhang, Masayoshi Tomizuka*, "RT-WiFi: Real-Time High-Speed Communication Protocol for Wireless Cyber-Physical Control Applications", Department of Computer Science, The University of Texas at Austin, Department of Mechanical Engineering, University of California, Berkeley
- [45] *Ștefan Gabriel Șoriga*, "ITS-G5 and Mobile WIMAX Performance in vehicle-to-infrastructure communications", University POLITEHNICA of Bucharest, U.P.B. Sci. Bull., Series C, Vol. 74, Iss. 2, 2012
- [46] *Muhibbul Mukhtadir Tanim*, "WiMAX & Wi-Fi", IT Infrastructure & Operations QUBEE, April 2012
- [47] *J. Song, S. Han, A. K. Mok, D. Chen, M. Lucas, M. Nixon, and W. Pratt*, "WirelessHART: Applying wireless technology in real-time industrial process control," in IEEE Real-Time and Embedded Technology and Applications Symposium (RTAS), 2008, pp. 377–386.
- [48] *W. Zhang, X. Zhu, S. Han, N. Byl, A. K. Mok, and M. Tomizuka*, "Design of a network-based mobile gait rehabilitation system," in IEEE International Conference on Robotics and Biomimetics (ROBIO), 2012, pp. 1773–1778.
- [49] *B. Li, Z. Sunk. Mechtov, G. Hackmann, C. Lu, S. J. Dyke, G. Agha, and B. F. Spencer*, "Realistic case studies of wireless structural control," in International Conference on Cyber-Physical Systems (ICCPS), 2013.
- [50] *S. Han, A. K. Mok, J. Meng, Y.-H. Wei, P.-C. Huang, Q. Leng, X. Zhu, L. Sentis, K. S. Kim, and R. Miikkulainen*, "Architecture of a cyberphysical avatar," in International Conference on Cyber-Physical Systems (ICCPS), 2013.
- [51] *Bo Li*, "Wireless Cyber-Physical Simulator and Case Studies on Structural Control", Master thesis, Washington University, Saint Louis, Missouri, August 2013
- [52] IEEE P802.11pTM/D7.0, IEEE Draft Standard for Information Technology Telecommunications and Information exchange between systems, Local and metropolitan area networks, Specific requirements, Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications, Amendment 7: Wireless Access in Vehicular Environments, May 2009
- [53] IEEE Std. 802.16e 2005, IEEE Standards for Local and metropolitan area networks, Part 16: Air Interface for Fixed and Mobile BWA Systems, Amendment 2: Physical and Medium Access Control Layers for Combined Fixed and Mobile Operation in Licensed Bands and Corrigendum 1, 2005

- [54] *SaiShankar N, Debashis Dash, Hassan El Madi, and Guru Gopalakrishnan, " WiGig and IEEE 802.11ad For Multi-Gigabyte-Per-Second WPAN and WLAN ", Tensorcom Inc., 5900 Pasteur Court, Carlsbad, CA 92008*
- [55] LitePoint, A Teradyne Company "IEEE 802.11ac: What Does it Mean for Test?" 2013
- [56] Sung Tae Moon, Ari Yakov Valero-Lopez, Edgar Sanchez-Sinencio, FULLY INTEGRATED FREQUENCY SYNTHESIZERS: A TUTORIAL, International Journal of High Speed Electronics and Systems, World Scientific Publishing Company
- [57] [https://commons.wikimedia.org/wiki/File:2.4_GHz_Wi-Fi_channels_\(802.11b,g_WLAN\).svg](https://commons.wikimedia.org/wiki/File:2.4_GHz_Wi-Fi_channels_(802.11b,g_WLAN).svg)
- [58] *Robert Bogdan Staszewski „State-of-the-Art and Future Directions of High-Performance All-Digital Frequency Synthesis in Nanometer CMOS”, Fellow, IEEE, IEEE Transaction on circuits and systems, VOL. 58, NO. 7, July 2011, Pages: 1497-1510*
- [59] *Robert Bogdan Staszewski and Poras T. Balsara, „All-Digital PLL With Ultra Fast Settling ”,IEEE Transaction on circuits and systems, VOL. 54, NO. 2, February 2007 ,Pages181-185*
- [60] *Kurt M. Ware, Hae-Seung Lee and CharlesG. Sodini, “A 200-MHz CMOS Phase-Locked Loop with Dual Phase DetectorsA 200-MHz CMOS Phase-Locked Loop with Dual Phase Detectors”, IEEE Journal of solid-state circuits, Vol. 24, No. 6, December 1989*
- [61] *Tae Hun Kim and Beomsup Kim, “Dual-loop Digital PLL Design for Adaptive Clock Recovery”, IEEE pp. 347-352, 1998*
- [62] *Shigeki OBOTE, Yasuaki SUMI, Kouichi SYOUBUT, Yutaka FUKUI and Yoshio ITOH, “DUAL LOOP DSP-PLL WITH WIDE FREQUENCY ACQUISITION RANGE AND FAST FREQUENCY ACQUISITION”, IEEE, pp. IV-393÷ IV-396, 1998*
- [63] *Yi-Cheng Chang and Edwin W. Greeneich, “MONOLITHIC PHASE-LOCKED LOOP CIRCUITS WITH COARSE-STEERING ACQUISITION AID”, IEEE, pp. 283 -286, 1999*
- [64] *Frank Herzel1, Sabbir A. Osmany, Klaus Schmalz, Wolfgang Winkler, J. Christoph Scheytt, Thomas Podrebersek, Rüdiger Follmann, and Heinz-Volker Heyer, “AN INTEGRATED 18 GHz FRACTIONAL-N PLL IN SiGe BiCMOS TECHNOLOGY FOR SATELLITE COMMUNICATIONS”, IEEE Radio Frequency Integrated Circuits Symposium, pp. 329-332, 2009*
- [65] *Michael H. Perrott, Digital Frequency Synthesizers, Short Course On Phase-Locked Loops, IEEE Circuit and System Society, San Diego, CA, September 16, 2009*
- [66] *Ioannis L. Syllaios, Robert Bogdan Staszewski, and Poras T. Balsara, „Time-Domain Modeling of an RF All-Digital PLL”, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS, VOL. 55, NO. 6, pp. 601-605, JUNE 2008*
- [67] *Congyin Shi, Chuan Wang, Le Ye, Huailin Liao, “-99dBc/Hz@10kHz 1MHz-STEP DUAL-LOOP INTEGER-N PLL WITH ANTI-MISLOCKING FREQUENCY CALIBRATION FOR GLOBAL NAVIGATION SATELLITE SYSTEM RECEIVER”, IEEE, pp. 1876-1879, 2011*
- [68] *Bodhisatwa Sadhu, Mark A. Ferriss, Jean-Olivier Plouchart, Arun S. Natarajan, Alexander V. Rylyakov,Alberto Valdes-Garcia, Benjamin D. Parker, Scott Reynolds, Aydin Babakhani, Soner Yaldiz, Larry Pileggi,Ramesh Harjani, Jose Tierno and Daniel Friedman,” A 21.8–27.5GHz PLL in 32nm SOI Using Gm Linearization to Achieve –130dBc/Hz Phase Noise at 10MHz Offset from a 22GHz Carrier”, IEEE Radio Frequency Integrated Circuits Symposium, pp.75-78, 2012*
- [69] *Mark Ferriss, Alexander Rylyakov, José A. Tierno, Herschel Ainspan, Daniel J. Friedman “A 28 GHz Hybrid PLL in 32 nm SOI CMOS”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 49, NO. 4, APRIL 2014, pp. 1027-1035*

- [70] Z. Zang, G. Zhu, C.P. Yue, HKUST- Qualcomm Lab “ A 0.25-0.4V, Sub-0.11mW/GHz, 0.15-1.6GHz PLL Using an Offset Dual-Path Loop Architecture with Dynamic Charge Pumps” 2019 Symposium on VLSI Circuit Digest of Technical Papers
- [71] Andrea Baschiroto; Kofi A A Makinwa; Pieter Harpe: Frequency references, power management for SoC, and smart wireless interfaces: Advances in analog circuit design 2013. Springer, 2014
- [72] Kristofer S.J. Pister Berkeley, Sensor and Actuator: Introduction to MEMS Design and Fabrication Center. UC Berkeley
- [73] Emmanuel Onyema, Design and CMOS Technology Optimization of a Low Power MEMS Pierce Oscillator, Politecnico di Torino, Turin, Italy, 2012
- [74] Gabriel Iulian STROE, Modelarea dispozitivelor pasive de radiofrecvență, teza de doctorat, Universitatea Politehnica Bucuresti, 2012, conducator de doctorat, prof. Dr. Ing. Florin Constantinescu
- [75] Verdu Tirado, Jordi: Bulk AcousticWave Resonators and their Application to Microwave Devices. 2010
- [76] Stéphane Razafimandimby, ACCORD EN FRÉQUENCE DE RÉSONATEURS BAW APPLIQUÉ AU FILTRAGE ET À LA SYNTHÈSE DE FRÉQUENCE RF, Thèse docteur, l'Université des Sciences et Technologies de Lille 2007
- [77] Florin CONSTANTINESCU¹, Alexandru Gabriel GHEORGHE¹, Miruna NITESCU¹, Aurelian FLOREA¹, Olivier LLOPIS², Petrica TARAS¹, Parameter Identification for Nonlinear Circuit Models of Power BAW Resonators, Advances in Electrical and Computer Engineering Volume 11, Number 1, 2011
- [78] M. Maricar, F. I. Hantila, F. Constantinescu, A. Stanculescu, A. Buleandra, FEM SOLUTION OF THE COUPLED ELECTROMECHANICAL FIELD PROBLEM IN POWER BAW RESONATORS, POLITEHNICA UNIVERSITY BUCHAREST, MOBILIS 2006
- [79] Andreia Cathelin (1), Stéphane Razafimandimby (1), Andreas Kaiser (2) (1) STMicroelectronics, BAW-IC CO-INTEGRATION TUNABLE FILTERS AT GHz FREQUENCIES, France IEMN – ISEN, Lille, France
- [80] Reza Abdolvand ¹, Behraad Bahreyni ², *, Joshua E. -Y. Lee ³ and Frederic Nabki ⁴, Micromachined Resonators: A Review, Micromachines 2016, 7, 160; doi:10.3390/mi7090160
- [81] Spectrum Software „Creating Eye Diagrams” <https://www.spectrum-soft.com/news/fall2002/eye.shtm>
- [82] Leijun Xu, Chaoran Wang, LEIJUN X, A Novel Capacitor Bank for Linearized and Wide-band VCO, Wseas Transactions on Circuits and Systems, E-ISSN: 2224-266X, Volume 16, 2017
- [83] Kambiz Hadipour, Andrea Ghilioni, Junlei Zhao, and Andrea Mazzanti, A Wide Tuning Range mm-Wave LC VCO, International Journal of Electronics and Electrical Engineering Vol. 2, No. 1, March, 2014
- [84] Meng-Ting Hsu, Chien-Ta Chiu and Shiao-Hui Chen, Implementation of Low Phase Noise Wide-Band VCO with Digital Switching Capacitors, www.intechopen.com
- [85] Fan Xiangning, Zeng Jun, Li Bin, Zhu Weiwei, Chen Xiaoguang , A Fully Integrated Double Frequency Wide Tuning Range Differential CMOS LC VCO for 2.4GHz IEEE802.15.4/ZigBee, 978-1-4244-3709-2/10 ©2010 IEEE
- [86] Andreia Cathelin Nitescu-Henry, ADVANCED CIRCUITS AND SYSTEMS FOR RF, MMW AND THZ WIRELESS COMMUNICATIONS – HDR THESIS, May, 2013

- [87] Fan He, Raymond Ribas, Cyril Lahuec, Michel Jézéquel, DISCUSSION ON THE GENERAL OSCILLATION STARTUP CONDITION AND THE BARKHAUSEN CRITERION, November 2008 Springer Science+Business Media, LLC 2008
- [88] Lindberg, E. (Author). (2012). The Barkhausen Criterion. Sound/Visual production
- [89] Zheng Wang, Huseyin S. Savci, Numan S. Dogan, 1-V Ultra-Low-Power CMOS LC VCO for UHF Quadrature Signal Generation, IEEE 2006, 4022-4025
- [90] Floyd M.Gardner, PHASELOCK TECHNIQUES-Third Edition, Published by John Wiley & Sons, Inc., Hoboken, New Jersey, 2005
- [91] Randall W. Rhea, Oscillator Design and Computer Simulation-Second Edition, 1995, ISBN 1-8849-32-30-4
- [92] R.L. Kubena, D.J. Kirby, Yook-Kong Yong, D.T. Chang, F.P. Stratton, H.D. Nguyen, R.J. Joyce, R. Perahia, H.P. Moyer, & R.G. Nagele, UHF Quartz MEMS Oscillators for Dynamics-Based System Enhancements, 2013 IEEE, Joint UFFC, EFTF and PFM Symposium, pp. 1-8,
- [93] Janak H. Patel, CMOS Process Variations:A Critical Operation Point Hypothesis, Computer Systems Colloquium (EE380)Stanford University, April 2, 2008
- [94] Jack Browne, What are the Filtering Differences Between SAWs and BAWs?, Feb. 2016 MICROWAVES & RF
- [95] Steven Mahon, Robert Aigner, Bulk Acoustic Wave Devices – Why, How, and Where They are Going, CS MANTECH Conference, May 14-17, 2007, Austin, Texas, USA, pp. 15-18
- [96] Benes E., Groschl M., Seifert F., Pohl A., Comparison between BAW and SAW sensor principles, IEEE Trans Ultrason Ferroelectr Freq Control. 1998;45(5):1314-30. doi: 10.1109/58.726458.
- [97] Larry Miller, RF Filter Technologies For Dummies, Qorvo Special Edition, 2015 by John Wiley & Sons, Inc, Hoboken, New Jersey
- [98] Behzad Razavi, RF MICROELECTRONICS, 1998 Simon & Schuster Company, Prentice-Hall, Inc.
- [99] Dean Banerjee, PLL Performance, Simulation, and Design, 2003, Third Edition
- [100] Behzad Razavi, DESIGN OF ANALOG CMOS INTEGRATED CIRCUITS, 2001, McGRAW-Hill International Edition
- [101] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, ANALYSIS AND DESIGN OF ANALOG INTEGRATED CIRCUITS, 2001 by John Wiley & Sons, Inc.
- [102] G. Bertotti, A. Laifi, E. Di Gioia, M. Masoumi, N. Dodel, E. F. Scarselli, R. Thewes, An 8 bit current steering DAC for offset compensation purposes in sensor arrays, 2012, Published by Copernicus Publications on behalf of the URSI Landesausschuss in der Bundesrepublik Deutschland e.V.
- [103] Tegze P. Haraszti, CMOS MEMORY CIRCUITS, 2002 Kluwer Academic Publishers
- [104] Tony R. Kuphaldt, Lessons In Electric Circuits, Volume IV -Digital, 2002 Design Science License, <http://www.ibiblio.org/obp>
- [105] Martin Schwerdtfeger, SPI - Serial Peripheral Interface, 06/2000, mct.net: SPI - Serial Peripheral Interface
- [106] Roubik Gregorian, INTRODUCTION TO CMOS OP-AMPS AND COMPARATORS
- [107] Walt Jung with the technical staff of Analog Devices, Op Amp Applications Handbook, 2005 by Analog Devices, Inc.
- [108] Rudy van de Plassche, CMOS INTEGRATED ANALOG-TO-DIGITAL AND DIGITAL-TO-ANALOG CONVERTERS 2nd Edition, 2003 Kluwer Academic Publishers, Boston
- [109] C.D. Motchenbacher, J.A. Connely, LOW-NOISE ELECTRONIC SYSTEM DEDIGN, 1993 by John Wiley & Sons, Inc.

- [110] Sung Tae Moon, Ari Yakov Valero-L'opez, Edgar S'anchez-Sinencio, FULLY INTEGRATED FREQUENCY SYNTHESIZERS:A TUTORIAL, International Journal of High Speed Electronics and Systems, World Scientific Publishing Company
- [111] Shailesh Rai, Ying Su, Wei Pang, Richard Ruby, Brian Otis, A Digitally Compensated 1.5 GHz CMOS/FBAR Frequency Reference, IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, vol. 57, no. 3, March 2010 pp.552-561
- [112] Matteo Rinaldi, Chengjie Zuo, Jan Van der Spiegel and Gianluca Piazza, Reconfigurable 4-Frequency CMOS Oscillator Based on AlN Contour-Mode MEMS Resonators, 2010 IEEE International Ultrasonics Symposium Proceedings, pp1494-1497
- [113] Joydeep Basu, Tarun Kanti Bhattacharyya, Microelectromechanical Resonators for Radio Frequency Communication Applications, Microsystem Technologies, Oct 2011, vol. 17(10–11), pp. 1557–1580
- [114] DERYA DIKBAS, THIN FILM PIEZOELECTRIC ON SUBSTRATE RESONATORS ELECTRICAL CHARACTERIZATION AND OSCILLATOR CIRCUIT DESIGN, Istanbul Yildiz Technical University, Istanbul, Turkey 2009
- [115] EMMANUEL ONYEMA, Design and CMOS Technology Optimization of a Low Power MEMS Pierce Oscillator, University of Illinois at Chicago, 2014
- [116] Tektronix „Fundamentals of Signal Integrity”
https://www.mouser.com/pdfDocs/Tektronix_Fundamentals_of_Signal_Integrity.pdf
- [117] GABRIELE MANGANARO, Advanced Data Converters, 2012 United States of America by Cambridge University Press, New York
- [118] Dean Nicholson, HeeSoo Lee, Characterization and modeling of bond wires for high-frequency applications, Microwave Engineering Europe, September 2006
- [119] Xiaoning Qi, HIGH FREQUENCY CHARACTERIZATION AND MODELING OF ON-CHIP INTERCONNECTS AND RF IC WIRE BONDS, Dissertation, Stanford University, June, 2001
- [120] Nozad Karim, Amit P. Agrawal, PLASTIC PACKAGES' ELECTRICAL PERFORMANCE: REDUCED BOND WIRE DIAMETER
- [121] Zuo C., Sinha N., der Spiegel J. V., Piazza G., Multi-frequency Pierce oscillators based on piezoelectric AlN contour-mode MEMS resonators, Proceedings of the 2008 International Frequency Symposium, pp. 402-407.
- [122] R. Tabrizian, M. Pardo, and F. Ayazi, A 27 MHz Temperature compensated MEMS oscillator with sub-ppm instability, IEEE Int. Conf. on MEMS, 2012, pp. 23-26.
- [123] Discera Corporation, "DSC1121 Datasheet." http://www.audentia-gestion.fr/Microchip/DSC1101_DSC1121_Datasheet.pdf
- [124] Kinget P., Integrated GHz Voltage - Controlled Oscillators, Bell Labs - Lucent Technologies Murray Hill.
- [125] Cottier D., Oscillator Compensation Guide, Texas Instruments Application Report SPRAB84A– June 2010.
- [126] Zeji Chen, Xiao Kan, Quan Yuan, Tianyun Wang, Jinling Yang & Fuhua Yang, „A Switchable High-Performance RF-MEMS Resonator with Flexible Frequency Generations”, Nature research Journal, <https://www.nature.com/articles/s41598-020-61744-2> (March 2020)
- [127] Jacopo Iannacci „RF-MEMS for high-performance and widely reconfigurable passive components – A review with focus on future telecommunications, Internet of Things (IoT) and 5G applications”, Journal of King Saud University – Science, Volume 29, Issue 4, Pages 436-443, <https://doi.org/10.1016/j.jksus.2017.06.011> (October 2017)

- [128] Allan R. „RF MEMS switches are primed for mass-market applications” <http://mwrf.com/active-components/rf-mems-switches-are-primed-mass-market-applications> (May 2013)
- [129] Nilchi, J. N., Liu, R. & Nguyen „C. T.-C. High Cx/Co 13nm-capacitive-gap transduced disk resonator”. In 2017 IEEE 30th International Conference on Micro Electro Mechanical Systems (MEMS). 924–927, <https://doi.org/10.1109/memsys.2017.7863560> (IEEE, 2017)
- [130] Pourkamali, S., Hao, Z. & Ayazi, F. VHF single crystal silicon capacitive elliptic bulk-mode disk resonators-part II: implementation and characterization. J. Microelectromech. Syst. 13, 1054–1062, <https://doi.org/10.1109/jmems.2004.838383> (2004).
- [131] Piazza, G., Stephanou, P. J. & Pisano, A. P. „Piezoelectric aluminum nitride vibrating contour-mode MEMS resonators”. J. Microelectromech. Syst. 15, 1406–1418, <https://doi.org/10.1109/jmems.2006.886012> (2006).
- [132] Piazza, G., Stephanou, P. J. & Pisano, A. P. „Single-chip multiple-frequency ALN MEMS filters based on contour-mode piezoelectric resonators” J. Microelectromech. Syst. 16, 319–328, <https://doi.org/10.1109/jmems.2006.889503> (2007).
- [133] Chengjie Zuo, Nipun Sinha, Jan Van der Spiegel, and Gianluca Piazza, "Multi-Frequency Pierce Oscillators Based On Piezoelectric AlN Contour-Mode MEMS Resonators", IEEE International Frequency Control Symposium, 402-407. (September 2008)
- [134] Rinaldi, M., Zuo, C., Van der Spiegel, J. & Piazza G. „Reconfigurable CMOS oscillator based on multifrequency AlN contour-mode MEMS resonators” IEEE Trans. Electron Devices. 58, 1281–1286, <https://doi.org/10.1109/ted.2011.2104961> (2011).
- [135] Gong, S. & Piazza G. „Monolithic Multi-Frequency Wideband RF Filters Using Two-Port Laterally Vibrating Lithium Niobate MEMS Resonators” J. Microelectromech. Syst. 23, 1188–1197, <https://doi.org/10.1109/jmems.2014.2308259> (2014).