



**UNIVERSITATEA POLITEHNICA  
DIN BUCUREȘTI**



**Școala Doctorală de Electronică, Telecomunicații  
și Tehnologia Informației**

Decizie nr. \_\_\_\_ din \_\_-\_\_-2021

# **REZUMAT TEZĂ DE DOCTORAT**

**Ing. Giorgiana-Cătălina ILIE (CHIRANU)**

---

**POTENȚIOMETRE DIGITALE CU PERFORMANȚE  
ÎMBUNĂTĂȚITE CU APLICAȚII ÎN SISTEMELE  
AUDIO-VIDEO**

**DIGITAL POTENTIOMETERS WITH IMPROVED  
PERFORMANCES WITH APPLICATIONS IN  
AUDIO-VIDEO SYSTEMS**

---

## **COMISIA DE DOCTORAT**

<b>Prof. Dr. Ing. Bogdan IONESCU</b> Univ. Politehnica din București	Președinte
<b>Prof. Dr. Ing. Gheorghe BREZEANU</b> Univ. Politehnica din București	Conducător de doctorat
<b>Prof. Dr. Ing. Marina Țopa</b> Univ. Tehnică din Cluj-Napoca	Referent
<b>Prof. Dr. Ing. Liviu GORAȘ</b> Univ. Tehnică din Iași	Referent
<b>Conf. Dr. Ing. Florin DRĂGHICI</b> Univ. Politehnica din București	Referent

**BUCUREȘTI 2021**

# Cuprins

<b>Capitolul 1</b> .....	1
<b>Introducere</b> .....	1
1.1 Prezentarea domeniului tezei de doctorat .....	1
1.2 Scopul tezei de doctorat .....	1
1.3 Conținutul tezei de doctorat .....	1
<b>Capitolul 2</b> .....	3
<b>Potențiometre digitale - generalități</b> .....	3
2.1 Structura internă .....	3
2.2 Tipuri de potențiometre digitale .....	4
2.3 Parametri caracteristici.....	4
2.4 Aplicații tipice .....	4
2.5 Concluzii .....	4
<b>Capitolul 3</b> .....	5
<b>Interfața digitală I<sup>2</sup>C în potențiometre</b> .....	5
3.1 Protocolul de comunicație - Generalități .....	5
3.2 Operații specifice în potențiometre digitale .....	5
3.3 Concluzii .....	5
<b>Capitolul 4</b> .....	6
<b>Arhitecturi de potențiometre</b> .....	6
4.1 Introducere .....	6
4.2 Arhitectura clasică - cu un singur etaj .....	6
4.3 Arhitecturi multi-etaj cu rezistențe de volum.....	7
4.4 Arhitecturi multi-etaj cu rezistențe proporționale cu 2 <sup>m</sup> .....	7
4.5 Performanțele arhitecturilor studiate-comparație .....	8
4.6 Concluzii .....	9
<b>Capitolul 5</b> .....	10
<b>Comutatoare</b> .....	10
5.1 Generalități .....	10
5.2 Rolul comutatoarelor în potențiometrele digitale.....	10
5.3 Comutatorul nMOS .....	10
5.4 Comutatorul pMOS .....	11
5.5 Comutatoare CMOS .....	11
5.5.1 CMOS I.....	11
5.5.2 CMOS II.....	11
5.5.3 CMOS III .....	12
5.6 Concluzii .....	12
<b>Capitolul 6</b> .....	13
<b>Noi arhitecturi de potențiometre digitale; Rezultate experimentale</b> .....	13

6.1	Introducere .....	13
6.2	Arhitectura B2 .....	13
6.2.1	Layout-ul.....	13
6.2.2	Rezistența totală .....	14
6.2.3	Rezistența cursorului .....	14
6.2.3	Caracteristicile de liniaritate .....	14
6.3	Arhitectura B3 .....	15
6.3.1	Layout-ul.....	15
6.3.2	Rezistența totală .....	16
6.3.3	Rezistența cursorului .....	16
6.3.4	Caracteristicile de liniaritate .....	16
6.4	Arhitecturi multi-etaj de potențiometre cu liniaritate îmbunătățită.....	18
6.4.1	Arhitectura B4 .....	18
6.4.2	Arhitectura B4D .....	18
6.5	Arhitectura B4D - Rezultate experimentale.....	19
6.5.1	Layout-ul B4D CMOS.....	19
6.5.2	Rezistența totală B4D CMOS .....	19
6.5.3	Rezistența cursorului B4D CMOS .....	20
6.5.4	Caracteristicile de liniaritate B4D CMOS .....	20
6.5.5	Layout-ul B4D EEPROM.....	21
6.5.6	Caracteristici de liniaritate B4D EEPROM .....	22
6.6	Comparație arhitecturi B2, B3, B4D CMOS .....	22
6.7	Concluzii .....	23
<b>Capitolul 7</b>	.....	<b>24</b>
<b>Comutatoare pentru potențiometre digitale, cu performanțe îmbunătățite</b>	.....	<b>24</b>
7.1	Comutatorul CMOS cu gamă extinsă peste tensiunea de alimentare .....	24
7.2	Comutatorul nevolatil .....	25
7.2.1	Structura și funcționarea comutatorului nevolatil .....	25
7.2.2	Rezultate experimentale.....	26
7.3	Concluzii .....	27
<b>Capitolul 8</b>	.....	<b>28</b>
<b>Concluzii</b>	.....	<b>28</b>
8.1	Rezultate obținute .....	28
8.2	Contribuții originale.....	31
8.3	Lista lucrărilor originale .....	31
8.4	Perspectivă de dezvoltare ulterioară .....	32
<b>Bibliografie</b>	.....	<b>33</b>

# Capitolul 1

## Introducere

### 1.1 Prezentarea domeniului tezei de doctorat

În ultima perioadă industria electronică a cunoscut o creștere incredibilă în cererea de sisteme integrate complexe cât mai performante care să îndeplinească atât criteriul de consum redus de putere, să lucreze la tensiuni cât mai mici, dar care să fie și eficiente din punct de vedere al costului/împachetării/încapsulării. Aceste cerințe sunt cu atât mai importante pentru piața de dispozitive portabile în continuă dezvoltare.

O mare parte din dispozitivele portabile, cele din categoria sistemelor audio-video (telefoane mobile, PDAs, laptopuri, media playere, sisteme de navigație) permit efectuarea de diverse reglaje cum sunt cele de ajustare a volumului, contrastului, luminozității ecranului, pentru care cel mai adesea sunt folosite potențiometrele programabile digital (DPP-Digitally Programmable Potentiometers) sau pe scurt potențiometrele digitale.

### 1.2 Scopul tezei de doctorat

Scopul tezei este acela de a dezvolta noi arhitecturi de circuite care să îmbunătățească performanțele potențiometrilor digitale utilizate în sistemele audio-video. Accentul principal va fi pus pe posibilitățile de reducere a ariei consumate cu condiția asigurării unui reglaj cât mai fin și mai uniform. În plus, se vor propune soluții pentru eliminarea a două dintre limitările actuale existente pe piața de potențiometre digitale. Este vorba în primul rând de imposibilitatea de a aplica pe capetele potențiometrului tensiuni care să depășească tensiunea de alimentare a acestuia. Cea de a doua limitare vizează aplicațiile de joasă tensiune în care performanțele potențiometrului sunt puternic afectate de valorile reduse ale tensiunii de alimentare, iar consumul este foarte important.

### 1.3 Conținutul tezei de doctorat

Teza este structurată în 8 capitole. În capitolul 2 sunt prezentate aspecte generale despre potențiometre digitale. Ambele părți componente principale ale unui

potențiomtru digital sunt discutate pe parcursul tezei, însă îmbunătățiri vor fi aduse numai părții de potențiomtru propriu-zis.

Capitolul 3 se axează pe partea digitală de control a unui DPP. Se vor prezenta aspecte legate de interfața I<sup>2</sup>C, cea mai întâlnită interfață digitală folosită pentru a comanda potențiometrele digitale.

Capitolul 4 va trata partea de potențiomtru propriu-zis a unui DPP. Pentru aceasta, 12 configurații diferite (cu un singur etaj și cu mai multe etaje) sunt selectate din literatură. Toate configurațiile, proiectate în condiții identice sunt analizate comparativ prin simulări din punct de vedere al parametrilor electrici și al ariei consumate.

Capitolul 5 prezintă comutatoarele, blocuri foarte importante din structura unui DPP ale căror caracteristici se resfrâng asupra performanțelor potențiometrelor digitale. Vor fi analizate prin simulări efectuate în aceleași condiții mai multe tipuri de comutatoare realizate cu tranzistoare MOS.

În capitolul 6 sunt expuse două noi arhitecturi de potențiometre propriu-zise cu liniaritate îmbunătățită. Comparativ cu toate cele 12 arhitecturi prezentate în capitolul 4, noile topologii sunt cele mai performante din punct de vedere al ariei consumate și liniarității, iar acest lucru este confirmat de simulări. De asemenea, în cadrul acestui capitol vor fi prezentate layout-urile proiectate și realizate, precum și rezultatele experimentale obținute pentru patru potențiometre digitale implementate în siliciu (în tehnologii diferite) folosind două cele mai bune arhitecturi prezentate în capitolul 4 și una din arhitecturile noi propuse (cea cu performanțe de liniaritate simulate cele mai bune). Pentru fiecare topologie se vor propune modele matematice pentru determinarea caracteristicilor de liniaritate teoretice. Acestea vor servi la identificarea factorilor care determină variațiile regăsite în curbele experimentale. În plus, în cadrul capitolului se va evidenția influența rezistențelor parazite din layout asupra liniarității.

În capitolul 7 vor fi prezentate două noi variante de comutatoare menite să înlătore limitările actuale ale potențiometrelor digitale. Prima variantă va permite aplicarea de potențiale mai mari decât alimentarea pe capetele potențiometrului, iar cea de a doua variantă facilitează operarea potențiometrului cu tensiuni mici fără ca performanțele acestuia să fie afectate. Ambele tipuri de comutatoare vor fi prezentate la nivel de simulare. În plus, pentru cel de al doilea comutator menționat, al cărui layout proiectat și realizat a fost utilizat pentru implementarea în siliciu a unor structuri de test, se vor prezenta și date experimentale obținute în urma măsurărilor efectuate pe plachetă.

În ultimul capitol se vor trece în revistă rezultatele obținute în cadrul tezei de doctorat, vor fi expuse contribuțiile originale, precum și lucrările în care acestea au fost evidențiate. Ultima parte a capitolului este dedicată direcțiilor de cercetare viitoare în domeniul potențiometrelor digitale.

# Capitolul 2

## Potențiometre digitale - generalități

### 2.1 Structura internă

Potențiometrul digital (DPP) este un circuit integrat de semnal mixt care oferă rezistențe controlate digital. Structura internă a unui DPP cuprinde potențiometrul propriu-zis (chenarul roșu din Fig. 2.1) și partea de control digital (chenarul verde din Fig. 2.1). Potențiometrul propriu-zis este format din rezistențe incrementale ( $R_0$ ) și comutatoare responsabile cu furnizarea raportului de divizare controlat digital prin intermediul unei interfețe digitale de către dispozitivul de control extern (de exemplu un microcontroller) sau însuși utilizatorul. H și L reprezintă capetele potențiometrului, a căror tensiune maximă aplicată este limitată la tensiunea de alimentare a potențiometrului ( $V_{CC}$ ), iar W este terminalul de ieșire numit cursor.

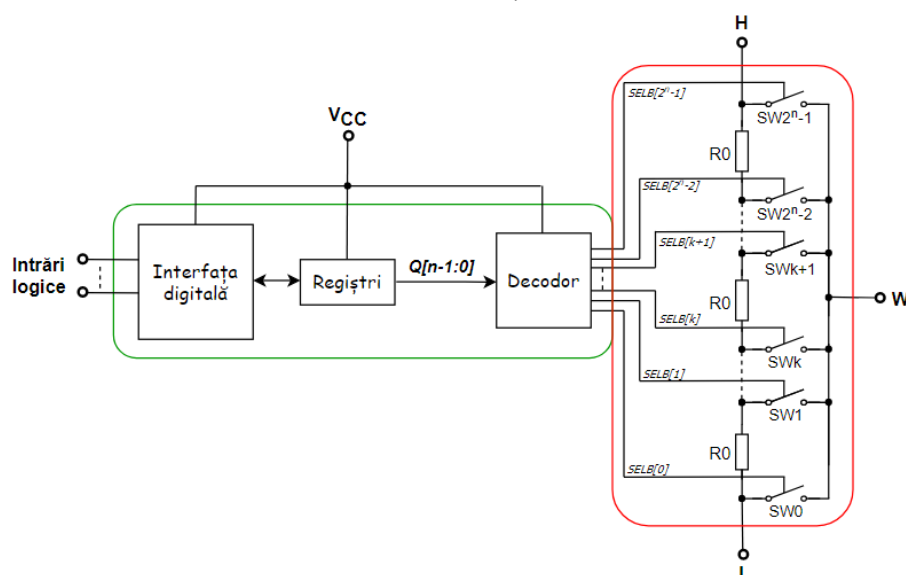


Fig. 2.1 Schema bloc a unui potențimetru digital.

## 2.2 Tipuri de potențiometre digitale

În funcție de aplicația destinată, potențiometrul digital poate fi proiectat în configurație de divizor de tensiune sau reostat, cu lege de variație liniară sau logaritmică în raport cu pasul, cu memorie volatilă sau nevolatilă, cu interfață digitală sincronă sau asincronă, cu un singur canal sau cu mai multe canale.

## 2.3 Parametri caracteristici

Printre cei mai importanți parametri ai unui potențiomtru digital se numără: rezoluția (o măsură a fineței reglajului, exprimată în numărul de biți sau pași ai potențiometrului), rezistența totală ( $R_{HL}$ ), rezistența cursorului  $R_W$  (echivalentă rezistenței de conducție a comutatorului care leagă șirul de rezistențe incrementale către cursor), erorile de capăt de scală ZSE și FSE (ce cuantifică deviațiile tensiunii regăsite la bornele cursorului față de valorile ideale corespunzătoare pasului zero și ultimului pas), și erorile de neliniaritate: INL (deviația maximă a caracteristicii de ieșire a potențiometrului față de caracteristica ideală) și DNL (deviația maximă dintre tensiunile de la bornele cursorului corespunzătoare a doi pași consecutivi).

## 2.4 Aplicații tipice

Potențiometrele digitale au numeroase aplicații. Cele mai uzuale aplicații vizează bunurile de larg consum cum sunt de exemplu televizoarele, tabletele, telefoanele, etc. care folosesc potențiometre digitale pentru controlul electronic al volumului, reglajul tonului, al balansului [1]. Potențiometrele digitale sunt frecvent utilizate și în ecranele LCD pentru ajustarea luminozității, contrastului, dar și pentru a corecta tensiunea de mod comun (VCOM) în fabrică [2].

## 2.5 Concluzii

În cadrul acestui capitol au fost prezentate caracteristici generale ale potențiometrelor digitale, necesare înțelegerii aspectelor tratate în capitolele următoare.

# Capitolul 3

## Interfața digitală I<sup>2</sup>C în potențiometre

### 3.1 Protocolul de comunicație - Generalități

Interfața digitală reprezintă elementul de legătură dintre dispozitivul de control extern și partea de reglaj rezistiv a unui potențiomtru digital. Cea mai frecvent folosită este interfața digitală sincronă I<sup>2</sup>C. Pentru ca transferul de date să fie realizat corect, ambii participanți trebuie să respecte un protocol de comunicație. Acest protocol constă într-un set de reguli privind inițializarea transmisiei, sincronizarea dintre participanții la transferul de date, controlul fluxului de date, etc [3], [4], [5].

### 3.2 Operații specifice în potențiometre digitale

Proiectarea interfeței digitale se face ținând cont de regulile impuse de protocolul de comunicație I<sup>2</sup>C, dar și de particularitățile potențiometrului. În cazul unui potențiomtru digital complex (prevăzut cu registru volatil, nevolatil și registru de protecție la scriere) cele mai întâlnite operații sunt scrierea/citirea registrului volatil și a celui nevolatil, protejarea scrierii, copierea din registrul nevolatil în cel volatil și invers. Fiecare operație funcționează diferit și este codată într-un anume fel. Operațiile care vizează modificarea conținutului registrului volatil al cursorului sunt cele care determină schimbarea pasului potențiometrului.

### 3.3 Concluzii

În cadrul acestui capitol a fost tratată din punct de vedere funcțional partea de control digital a unui potențiomtru prevăzut cu interfață I<sup>2</sup>C pentru care au fost analizate prin simulări cele mai uzuale operații.



# Capitolul 4

## Arhitecturi de potențiometre

### 4.1 Introducere

Pentru partea de potențiomtru propriu-zis, cea mai cunoscută configurație este cea clasică (ca în Fig. 2.1). Deși este o topologie foarte simplă, efectuarea de reglaje fine cu această configurație nu este rentabilă datorită ariei consumate mari cauzată de numărul ridicat de comutatoare necesare. De aceea, în sprijinul proiectării unor potențiometre digitale de mare rezoluție care să fie eficiente din punct de vedere al costurilor de producție, au fost propuse arhitecturile multi-etaj [6], [7], [8], [9]. Două mari categorii de configurații multi-etaj pot fi regăsite în literatură. Prima categorie este cea în care se folosesc rezistențe de volum [6], [8], [9], iar cea de a doua categorie utilizează rezistențe proporționale cu puterile lui 2 [7].

Patru arhitecturi multi-etaj cu rezistențe de volum (bulk), numite B0-B3, și respectiv șapte arhitecturi multi-etaj cu rezistențe proporționale cu puterile lui 2 (binary weighted), notate BW1-BW7, vor fi prezentate în cadrul acestui capitol alături de arhitectura clasică. Pentru a realiza o analiză comparativă, fiecare arhitectură alături de circuitul decodor a fost proiectată și realizată într-o aceeași tehnologie de  $0.18\mu\text{m}$  CMOS pentru o rezistență totală de  $10\text{k}\Omega$  și rezoluție de 8 biți (256 de pași). Comutatorul folosit în structura celor 12 configurații este identic (de tipul poartă de transfer clasică). În cadrul simulărilor tensiunea aplicată pe capetele potențiometrului a fost considerată egală cu tensiunea de alimentare ( $V_{HL}=V_{CC}$ ). Pe baza simulărilor efectuate au fost examinate performanțele electrice: erori de capăt de scală, caracteristici de liniaritate, variația rezistenței totale, rezistența cursorului precum și aria consumată.

### 4.2 Arhitectura clasică - cu un singur etaj

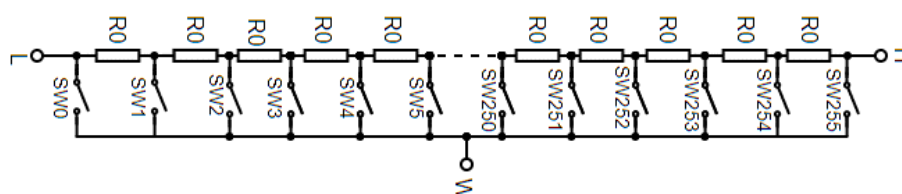
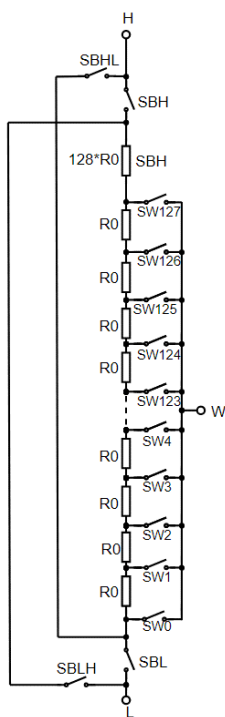
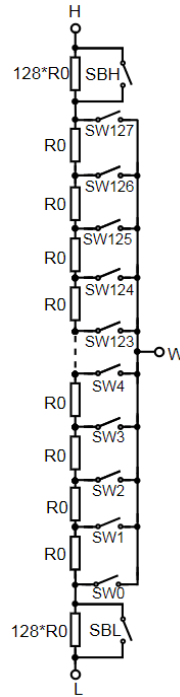


Fig. 4.1 Schema electrică a arhitecturii clasice (SS) de potențiomtru [10], [11].

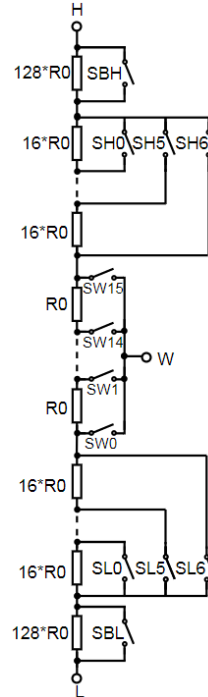
### 4.3 Arhitecturi multi-etaj cu rezistențe de volum



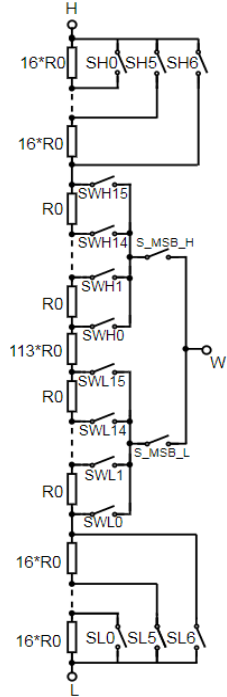
**Fig. 4.2** Schema electrică a arhitecturii B0 [10], [11].



**Fig. 4.3** Schema electrică a arhitecturii B1 [10], [11].

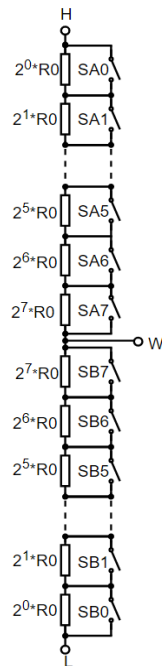


**Fig. 4.4** Schema electrică a arhitecturii B2 [10], [11].

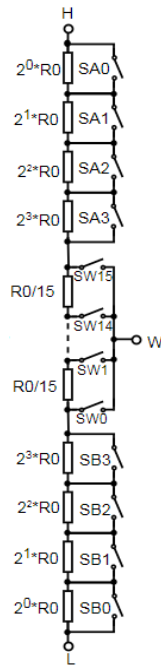


**Fig. 4.5** Schema electrică a arhitecturii B3 [10], [11].

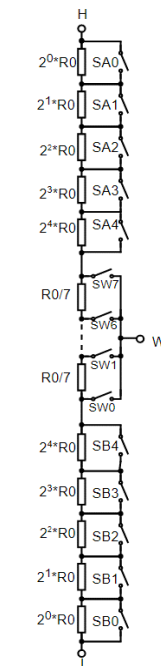
### 4.4 Arhitecturi multi-etaj cu rezistențe proporționale cu $2^m$



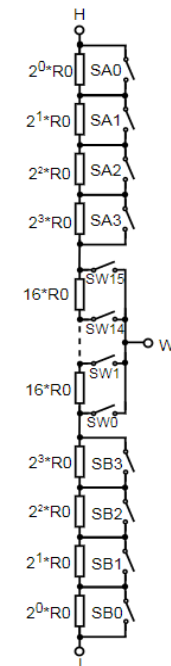
**Fig. 4.6** Schema electrică a arhitecturii BW1 [10], [11].



**Fig. 4.7** Schema electrică a arhitecturii BW2 [10], [11].



**Fig. 4.8** Schema electrică a arhitecturii BW3 [10], [11].



**Fig. 4.9** Schema electrică a arhitecturii BW4 [10], [11].

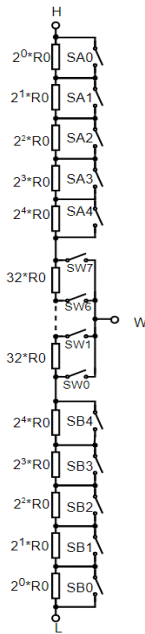


Fig. 4.10 Schema electrică a arhitecturii BW5 [11].

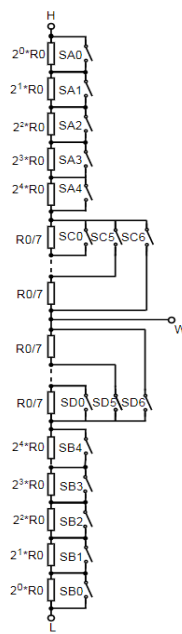


Fig. 4.11 Schema electrică a arhitecturii BW6 [11].

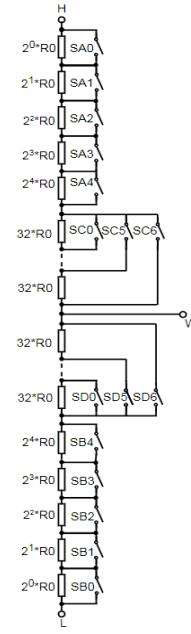


Fig. 4.13 Schema electrică a arhitecturii BW7 [11].

## 4.5 Performanțele arhitecturilor studiate-comparație

Caracteristicile principale ale fiecărei arhitecturi analizate sunt rezumate comparativ în Tab. 4.4. În acest tabel au fost evidențiate (îngroșate) valorile parametrilor care ies din limitele tipice regăsite în cadrul potențioanelor digitale [12], [13], [14], [15]. Aceste limite sunt  $\pm 1\text{LSB}$  pentru eroarea INL,  $\pm 0.5\text{LSB}$  pentru eroarea DNL,  $\pm 0.5\text{LSB}$  pentru erorile ZSE și FSE,  $100\Omega$  pentru rezistența cursorului ( $R_w$ ) și  $-100\text{ppm}/^\circ\text{C}$  pentru TCR.

Tab. 4.1 Rezumat al performanțelor arhitecturilor analizate.

DPP	Parametru								
	Arie [mm <sup>2</sup> ]	INL  max [LSB]		DNL  max [LSB]		ZSE [LSB] @2.7V	FSE  [LSB] @2.7V	$R_w$ max [ $\Omega$ ] @2.7V	TCR max [ppm / $^\circ\text{C}$ ]
		@2.7V	@5.5V	@2.7V	@5.5V				
<b>SS</b>	0.2	$\approx 0$	$\approx 0$	$\approx 0$	$\approx 0$	0	0	35	-99
<b>B0</b>	0.112	$\approx 0$	$\approx 0$	$\approx 0$	$\approx 0$	0.239	0.204	35	-97
<b>B1</b>	0.111	0.150	0.074	0.296	0.165	0.239	0.204	35	-98
<b>B2</b>	0.037	0.830	0.044	<b>1.470</b>	0.112	0.474	0.405	35	-96
<b>B3</b>	0.046	0.200	0.084	0.290	0.164	0.236	0.201	70	-98
<b>BW1</b>	0.027	<b>1.100</b>	0.530	<b>1.244</b>	<b>0.880</b>	<b>1.812</b>	<b>1.556</b>	0	-89
<b>BW2</b>	0.024	<b>1.020</b>	0.970	<b>1.620</b>	<b>1.160</b>	<b>0.950</b>	<b>0.810</b>	35	-94
<b>BW3</b>	0.026	<b>1.025</b>	0.520	<b>1.230</b>	<b>0.700</b>	<b>1.189</b>	<b>1.008</b>	35	-95
<b>BW4</b>	0.026	<b>1.020</b>	0.998	<b>1.650</b>	<b>1.170</b>	<b>0.864</b>	<b>0.747</b>	35	-95
<b>BW5</b>	0.022	<b>1.410</b>	0.815	<b>1.550</b>	<b>0.900</b>	<b>1.099</b>	<b>0.948</b>	35	-94
<b>BW6</b>	0.044	<b>0.920</b>	0.885	<b>0.970</b>	<b>0.990</b>	<b>1.384</b>	<b>1.185</b>	0	-91
<b>BW7</b>	0.033	<b>1.310</b>	0.776	<b>1.440</b>	<b>0.850</b>	<b>1.336</b>	<b>1.150</b>	0	-91

Conform Tab. 4.4 din punct de vedere al ariei consumate arhitecturile cu rezistențe proporționale cu puterile lui 2 sunt cele mai eficiente, cea mai mică arie fiind ocupată de BW5. În ceea ce privește erorile de neliniaritate și cele de capăt de scală, configurația clasică (SS) este cea mai bună (ambele tipuri de erori sunt nule). Totuși, aria consumată mare (de aproximativ 10 ori mai mare decât aria minimă) face ca alegerea arhitecturii SS în proiectarea de potențiometre cu 256 de pași să nu renteze din cauza costului mare de fabricație. Cele mai mari erori ( $INL > 0.9LSB$ ,  $DNL > 0.5LSB$ ,  $FSE > 0.7LSB$ ,  $ZSE > 0.8LSB$ ) corespund topologiilor cu rezistențe proporționale cu puterile lui 2, mai ales pentru tensiuni de alimentare mici (2.7V) ale potențiometrului. Soluția de compromis în ceea ce privește aria și erorile introduse este cea a arhitecturilor cu rezistențe de volum. Pentru tensiuni mari (5.5V), configurația B2 este cea mai potrivită din punct de vedere al erorilor de neliniaritate ( $INL < 0.05$ ,  $DNL < 0.12$ ) și ariei ( $0.037mm^2$ ). În schimb, pentru tensiuni mici (2.7V), arhitectura B3 este superioară. Eroarea  $DNL < 0.29LSB$ , este semnificativ mai mică decât cea obținută pentru topologia B2 ( $1.47LSB$ ). Prețul plătit de utilizarea arhitecturii B3 în detrimentul lui B2 este cel al rezistenței duble a cursorului și al ariei ușor mai mare ( $0.046mm^2$ ).

## 4.6 Concluzii

În concluzie, pentru realizarea de potențiometre digitale ieftine și performante (cu reglaj fin și uniform) care să fie utilizate în cadrul sistemelor audio-video cele mai potrivite configurații sunt B2 și B3.

# Capitolul 5

## Comutatoare

### 5.1 Generalități

Comutatorul este un circuit cu două stări. O stare ON (conducție) în care permite trecerea curentului, însă acestui curent i se opune o rezistență ( $R_{ON}$ ) care se dorește a fi cât mai mică. În cealaltă stare, cea OFF (blocare) circuitul este întrerupt, iar curentul care circulă prin comutator ( $I_{OFF}$ ) se dorește a fi cât mai redus.

### 5.2 Rolul comutatoarelor în potențioetrele digitale

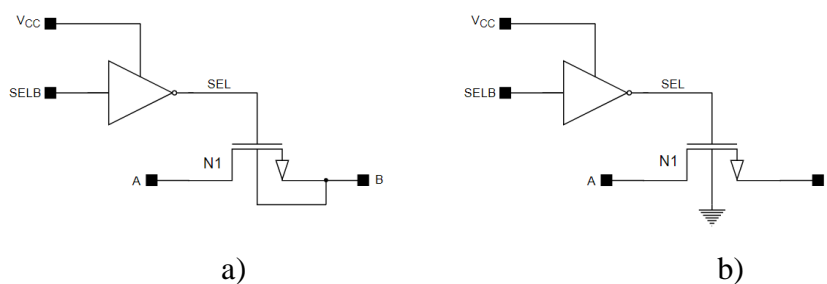
Comutatoarele reprezintă piese fundamentale din structura potențioetrelor digitale. Performanțele DPP-urilor sunt puternic influențate de caracteristicile acestora.

Rezistența de conducție ( $R_{ON}$ ) a comutatorului este parametrul cel mai restrictiv. Aceasta influențează atât rezistența cursorului ( $R_w$ ), cât și liniaritatea și erorile de capăt de scală ale potențioetrului în cazul arhitecturilor multi-etaj. În plus,  $R_{ON}$  dictează tensiunea minimă de alimentare, precum și gama de tensiuni ce pot fi aplicate pe capetele potențioetrului.

Curentul rezidual/de blocare ( $I_{OFF}$ ) al comutatorului, contribuie la consumul de putere al potențioetrului, cu atât mai mult cu cât reglajul este mai fin (rezoluția mai mare).

Bidirecționalitatea comutatorului oferă o mai mare flexibilitate în utilizarea potențioetrului.

### 5.3 Comutatorul nMOS



*Fig. 5.1 Schema electrică a comutatorului nMOS: a) unidirecțional; b) bidirecțional.*

## 5.4 Comutatorul pMOS

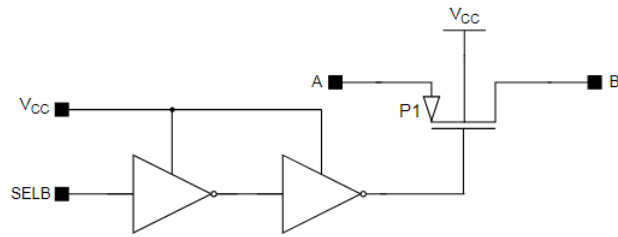


Fig. 5.2 Schema electrică a comutatorului pMOS.

## 5.5 Comutatoare CMOS

Prin conectarea în paralel a unui tranzistor nMOS cu unul pMOS, se obține poarta de transfer sau comutatorul CMOS. Pentru acest tip de comutator vor fi analizate 3 variante. Diferența dintre acestea este dată de modul de polarizare a substratelor tranzistoarelor comutatoare.

### 5.5.1 CMOS I

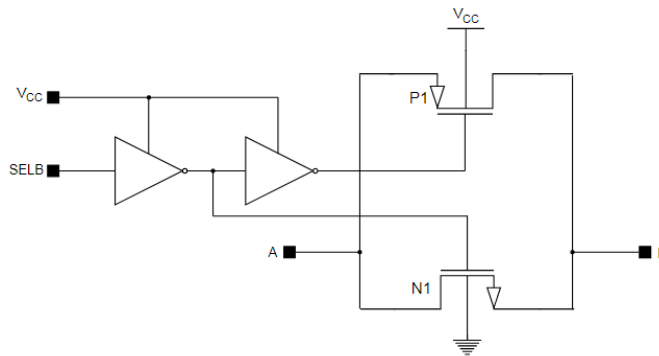


Fig. 5.3 Schema electrică a comutatorului CMOS I.

### 5.5.2 CMOS II

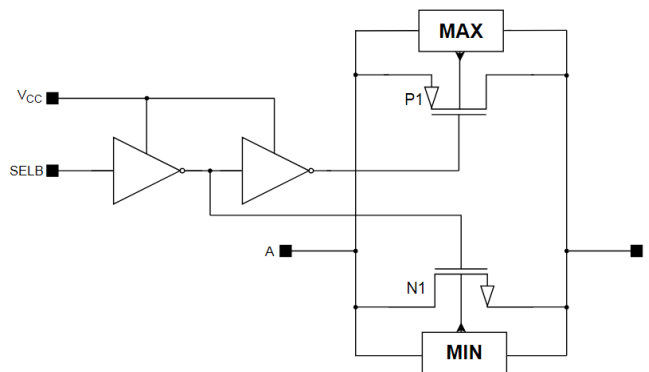


Fig. 5.4 Schema electrică a comutatorului CMOS II.

### 5.5.3 CMOS III

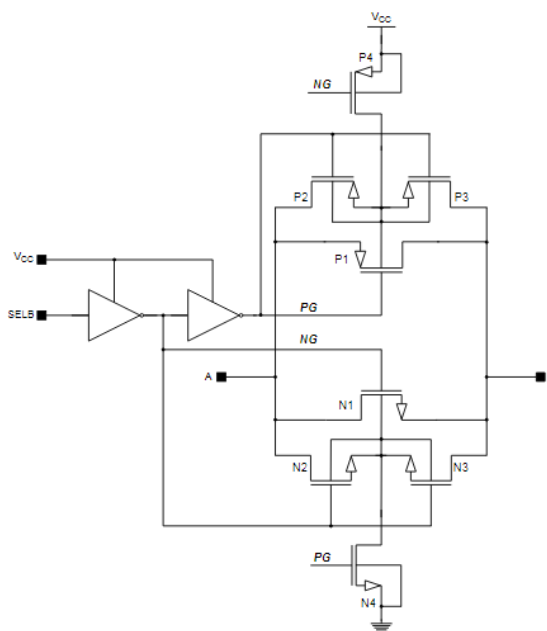


Fig. 5.5 Schema electrică a comutatorului CMOS III.

## 5.6 Concluzii

În cadrul acestui capitol au fost analizate mai multe comutatoare realizate din tranzistoare MOS. Acestea au fost proiectate și realizate într-o tehnologie  $0.18\mu\text{m}$  CMOS de  $5\text{V}$  ținând cont de criteriul unei rezistențe de conducție maxime de  $100\Omega$  pentru  $V_{CC}=2.7\text{V}$  în condiții de variații de proces și temperatură ( $-40^\circ\text{C}$ ,  $25^\circ\text{C}$ ,  $85^\circ\text{C}$ ). Analiza a început cu comutatorul realizat dintr-un singur tranzistor nMOS pentru care a fost prezentată atât schema unidirecțională, cât și cea bidirecțională. Celelalte comutatoare (pMOS și CMOS) au fost prezentate numai în varianta bidirecțională. Performanțele comutatoarelor bidirecționale analizate sunt sumarizate în Tab. 5.2.

Tab. 5.1 Performanțele comutatoarelor bidirecționale analizate.

	nMOS	pMOS	CMOS I	CMOS II	CMOS III
<b>Gama tensiunii <math>V_A</math> pentru care <math>R_{ON}&lt;100\Omega</math> @ <math>V_{CC}=2.7\text{V}</math></b>	$<1.34\text{V}$	$>1.4\text{V}$	$0\div V_{CC}$	$0\div V_{CC}$	$0\div V_{CC}$
<b>Arie consumată [<math>\mu\text{m}^2</math>]</b>	1190	4490	5650	1600	1660
<b><math>I_{OFF}</math> max [nA]</b>	6	200	200	22	22

Cele mai indicate spre a fi utilizate în potențioetrele digitale sunt comutatoarele CMOS datorită gamei de tensiuni  $V_A$  situate între  $0\div V_{CC}$  în care pot conduce bine ( $R_{ON}<100\Omega$ ). Dintre cele trei variante de comutatoare CMOS ariile cele mai mici corespund lui CMOS II și III. Tot ele sunt cele pentru care curentul rezidual este cel mai mic. Ambele caracteristici se datorează mecanismelor de polarizare variabilă a substratelor tranzistoarelor comutatoare folosite pentru a asigura tensiuni substrat-sursă aproape nule, mecanisme inspirate din patentul [16].

# Capitolul 6

## Noi arhitecturi de potențiometre digitale; Rezultate experimentale

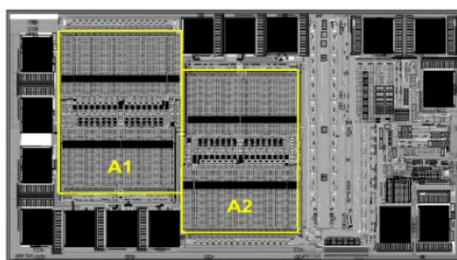
### 6.1 Introducere

În acest capitol vor fi prezentate două noi arhitecturi de potențiometre propriu-zise, derivate din arhitectura B2, cu performanțe de liniaritate superioare celor prezentate în capitolul 4. Cea mai performantă dintre acestea (notată cu B4D), împreună cu topologiile B2 și B3 au fost utilizate în implementarea în siliciu a unor potențiometre digitale cu 256 de pași. Considerând tensiuni de alimentare în gama 2.7V-5.5V și trei temperaturi (-40°C, 25°C și 85°C) au fost măsurate și expuși în acest capitol parametri precum: rezistența totală a potențiometrului, rezistența cursorului și erorile de neliniaritate. Pentru acești parametri s-au impus limitele uzuale regăsite în foile de catalog și anume:  $\pm 20\%$  pentru toleranța rezistenței totale,  $-100\text{ppm}/^\circ\text{C}$  pentru TCR-ul rezistenței totale,  $100\Omega$  pentru rezistența cursorului,  $\pm 1\text{LSB}$  și respectiv  $\pm 0.5\text{LSB}$  pentru eroarea INL și DNL.

### 6.2 Arhitectura B2

#### 6.2.1 Layout-ul

Configurația B2 (Fig. 4.4) a fost folosită în fabricarea în siliciu într-o tehnologie de  $0.5\mu\text{m}$  CMOS a unui DPP dual volatil de  $50\text{k}\Omega$  cu interfață digitală I<sup>2</sup>C. Layout-ul proiectat și realizat pentru acest circuit este dat în Fig. 6.1.



*Fig. 6.1* Layout-ul potențiometrului digital dual implementat în siliciu folosind arhitectura B2 [17].

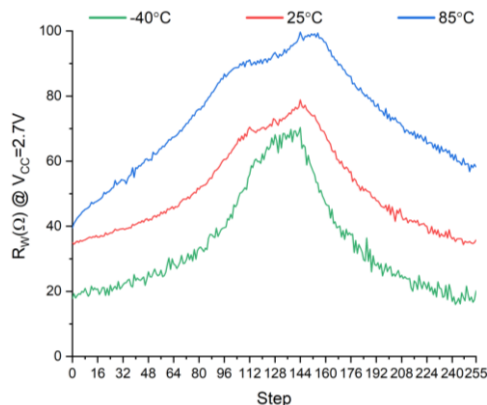


## 6.2.2 Rezistența totală

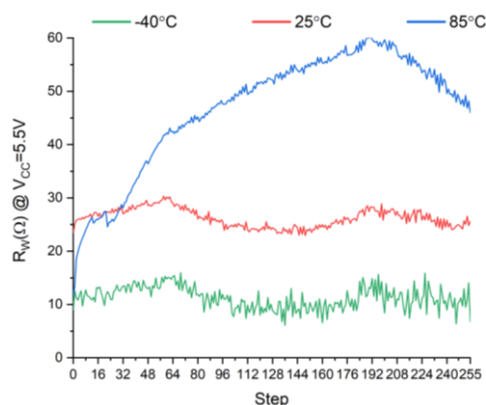
Valoarea maximă pentru toleranța  $R_{HL}$  este de 7%. Coeficientul de variație al rezistenței totale cu temperatura, specific tehnologiei, este de  $-170 \text{ ppm}/^\circ\text{C}$ .

## 6.2.3 Rezistența cursorului

Variațiile rezistenței cursorului ( $R_W$ ) în funcție de pas sunt date în figurile 6.3-6.4 pentru  $V_{CC}=2.7\text{V}$  și respectiv  $5.5\text{V}$ .



**Fig. 6.2** Variația măsurată a rezistenței cursorului cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B2 când  $V_{CC}=2.7\text{V}$ .

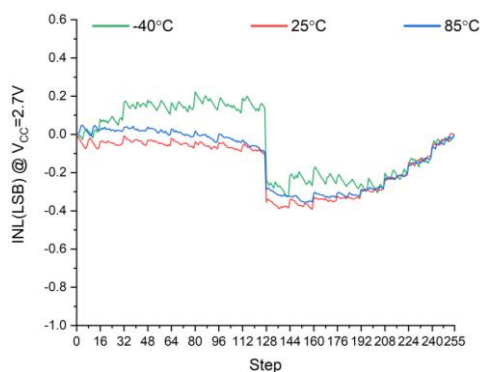


**Fig. 6.3** Variația măsurată a rezistenței cursorului cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B2 când  $V_{CC}=5.5\text{V}$ .

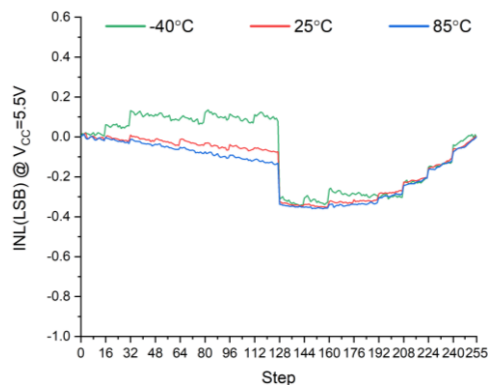
Se poate observa că cele mai mari valori pentru rezistența cursorului corespund temperaturii de  $85^\circ\text{C}$ :  $100\Omega$  pentru  $V_{CC}=2.7\text{V}$  (Fig. 6.3), respectiv  $60\Omega$  pentru  $V_{CC}=5.5\text{V}$  (Fig. 6.4).

## 6.2.3 Caracteristicile de liniaritate

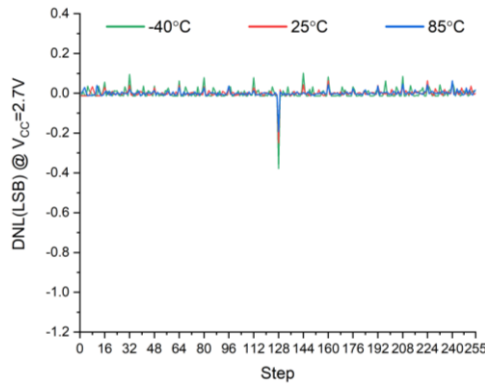
Caracteristicile de liniaritate măsurate ale potențiometrului implementat în siliciu folosind arhitectura B2 sunt reprezentate în figurile 6.5-6.8. Pentru eroarea INL valoarea maximă măsurată este de  $-0.4\text{LSB}$  pentru  $V_{CC}=2.7\text{V}$  (Fig. 6.5) și respectiv  $-0.35\text{LSB}$  pentru  $V_{CC}=5.5\text{V}$  (Fig. 6.6). Pentru eroarea DNL valoarea maximă se situează în jurul lui  $-0.4\text{LSB}$  pentru ambele tensiuni de alimentare (figurile 6.7-6.8).



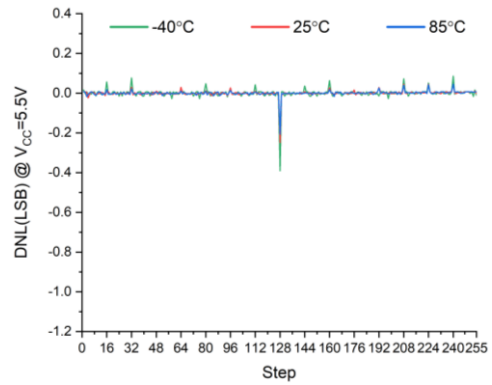
**Fig. 6.4** Variația măsurată a erorii INL cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B2 când  $V_{CC}=2.7\text{V}$  [17].



**Fig. 6.5** Variația măsurată a erorii INL cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B2 când  $V_{CC}=5.5\text{V}$ .

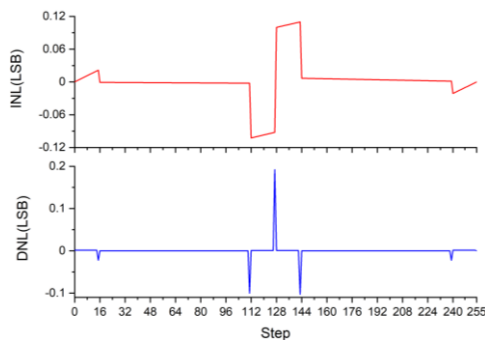


**Fig. 6.6** Variația măsurată a erorii DNL cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B2 când  $V_{cc}=2.7V$  [17].

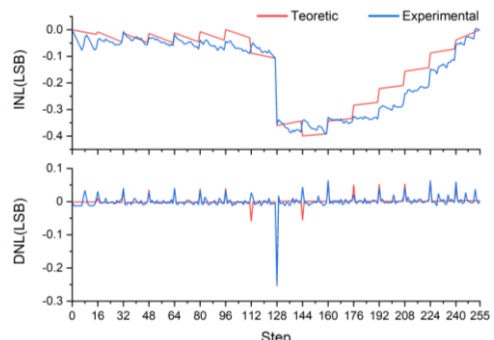


**Fig. 6.7** Variația măsurată a erorii DNL cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B2 când  $V_{cc}=5.5V$ .

Pentru a interpreta rezultatele experimentale obținute, a fost dezvoltat un model matematic pentru determinarea tensiunii la bornele cursorului în funcție de rezistențele de conducție ale comutatoarelor care scurtcircuitează bucăți de rezistență de pe calea H către L (vezi Fig. 4.4) și deviațiile rezistenței incrementale ( $R_0$ ) exprimate la nivelul fiecărui etaj din structura arhitecturii B2 (vezi Fig. 4.4). Pe baza tensiunii astfel modelate a fost determinată variația erorilor INL și DNL cu pasul în două cazuri. În primul caz (când deviațiile rezistenței  $R_0$  sunt nule) variația este reprezentată în Fig. 6.9. Pentru anumite valori nenule ale deviațiilor de rezistență incrementală (cazul al doilea), valorile INL și DNL teoretice se apropie de cele măsurate. Această apropiere este evidențiată în Fig. 6.10 unde alături de variațiile teoretice (curbele roșii) sunt reprezentate și variațiile experimentale (curbele albastre). Se confirmă astfel efectul cumulat al rezistențelor nenule ale comutatoarelor în conducție și deviațiilor rezistenței incrementale în degradarea caracteristicilor de liniaritate ale potențiometrului.



**Fig. 6.8** Variațiile teoretice ale erorilor INL și DNL cu pasul caracteristice arhitecturii B2 în cazul în care nu există deviații ale rezistenței incrementale.

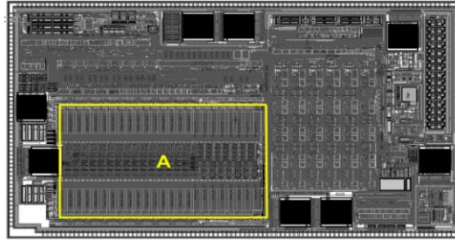


**Fig. 6.9** Variațiile teoretice ale erorilor INL și DNL cu pasul caracteristice arhitecturii B2 în cazul în care există deviații ale rezistenței incrementale vs. variațiile măsurate.

## 6.3 Arhitectura B3

### 6.3.1 Layout-ul

Arhitectura B3 (Fig. 4.5) a fost folosită pentru fabricarea într-o tehnologie de  $0.5\mu m$  EEPROM a unui potențiometru nevolatil de  $50k\Omega$  cu interfață digitală de tipul I<sup>2</sup>C. Layout-ul proiectat și realizat pentru acest circuit este dat în Fig. 6.11.



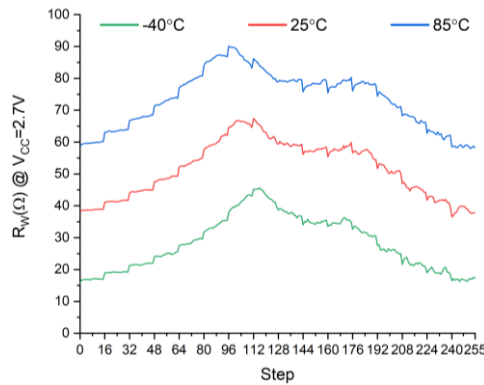
**Fig. 6.10** Layout-ul potențiometrului digital implementat în siliciu folosind arhitectura B3 [17].

### 6.3.2 Rezistența totală

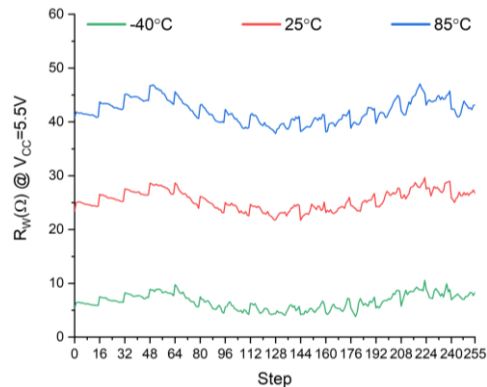
Față de valoarea nominală de  $50\text{k}\Omega$  toleranța maximă a rezistenței  $R_{HL}$  este de 5%. Comparativ cu arhitectura B2 prezentată anterior, TCR-ul rezistenței totale este mai mic ( $-140\text{ ppm}/^\circ\text{C}$ ), deci tehnologia folosită pentru fabricarea potențiometrului proiectat cu arhitectura B3 este mai stabilă.

### 6.3.3 Rezistența cursorului

În figurile 6.13-6.14 sunt prezentate rezultatele măsurătorilor corespunzătoare variației rezistenței cursorului ( $R_W$ ) cu pasul pentru  $V_{CC}=2.7\text{V}$  și  $5.5\text{V}$ .



**Fig. 6.11** Variația măsurată a rezistenței cursorului cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B3 când  $V_{CC}=2.7\text{V}$ .

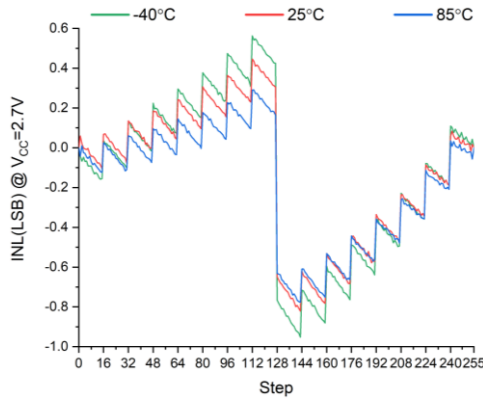


**Fig. 6.12** Variația măsurată a rezistenței cursorului cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B3 când  $V_{CC}=5.5\text{V}$ .

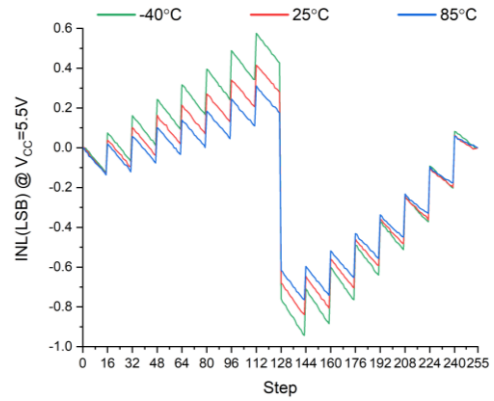
Cele mai mari valori  $R_W$  corespund temperaturii de  $85^\circ\text{C}$ :  $90\Omega$  pentru  $V_{CC}=2.7\text{V}$  (Fig. 6.13), respectiv  $47\Omega$  pentru  $V_{CC}=5.5\text{V}$  (Fig. 6.14). Valorile maxime măsurate pentru  $R_W$  sunt comparabile cu cele obținute în cazul arhitecturii B2 cu observația că aria ocupată de comutator este de aproximativ două ori mai mare.

### 6.3.4 Caracteristicile de liniaritate

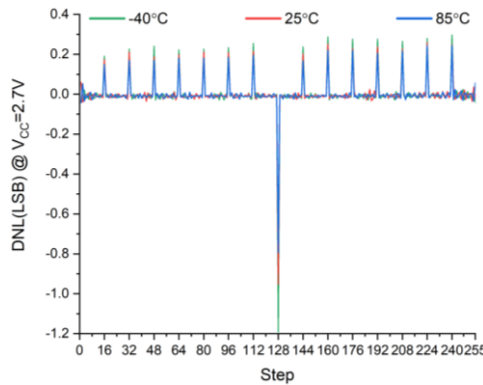
Caracteristicile de liniaritate măsurate ale arhitecturii B3 implementată în siliciu sunt date în figurile 6.15-6.18. Valoarea maximă pentru INL este de  $-1\text{LSB}$  atât pentru  $V_{CC}=2.7\text{V}$  (Fig. 6.15), cât și pentru  $V_{CC}=5.5\text{V}$  (Fig. 6.16), în timp ce pentru DNL maximul se află în jurul lui  $-1.2\text{LSB}$  (mult mai mare decât limita de  $\pm 0.5\text{LSB}$ ) pentru ambele tensiuni (figurile 6.17-6.18).



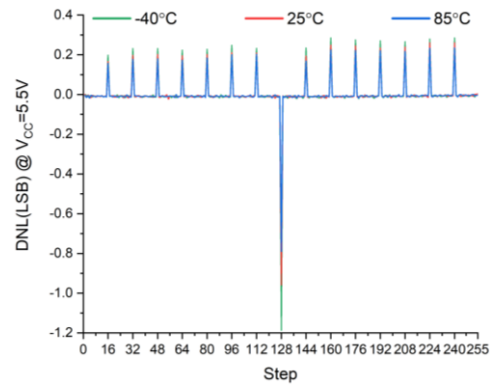
**Fig. 6.13** Variația măsurată a erorii INL cu pasul pentru potențimetrul implementat în siliciu folosind arhitectura B3 când  $V_{CC}=2.7V$  [17].



**Fig. 6.14** Variația măsurată a erorii INL cu pasul pentru potențimetrul implementat în siliciu folosind arhitectura B3 când  $V_{CC}=5.5V$ .

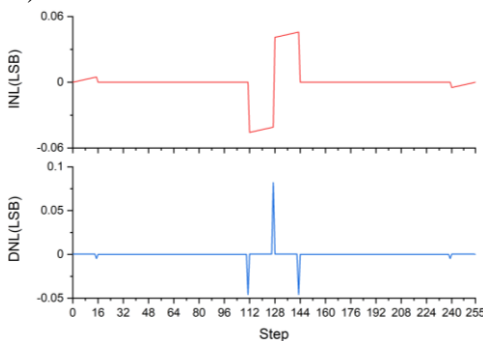


**Fig. 6.15** Variația măsurată a erorii DNL cu pasul pentru potențimetrul implementat în siliciu folosind arhitectura B3 când  $V_{CC}=2.7V$  [17].

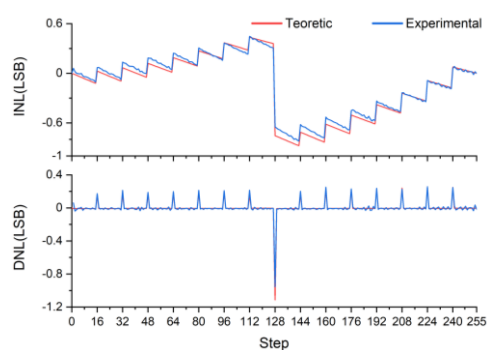


**Fig. 6.16** Variația măsurată a erorii DNL cu pasul pentru potențimetrul implementat în siliciu folosind arhitectura B3 când  $V_{CC}=5.5V$ .

Pentru a identifica factorul determinant al variației măsurate a erorilor de neliniaritate pentru arhitectura B3 este propus un model matematic pe același principiu cu cel folosit în cazul configurației B2. Când nu există deviații ale rezistenței incrementale dependența de pas a erorilor INL și DNL rezultată pe baza modelului este expusă în Fig. 6.19. Se poate observa că erorile sunt mult mai mici față de cele măsurate (cu cel puțin un ordin de mărime mai mici). Când sunt considerate valori nenule ale deviațiilor la nivelul fiecărui etaj al arhitecturii B3 variația teoretică a erorilor de neliniaritate se suprapune aproape perfect cu variația măsurată (Fig. 6.20).



**Fig. 6.17** Variațiile teoretice ale erorilor INL și DNL cu pasul caracteristice arhitecturii B3 în cazul în care nu există deviații ale rezistenței incrementale.



**Fig. 6.18** Variațiile teoretice ale erorilor INL și DNL cu pasul caracteristice arhitecturii B3 în cazul în care există deviații ale rezistenței incrementale vs. variațiile măsurate.

Așadar, în condițiile în care rezistențele de conducție ale comutatoarelor (ambele de tipul CMOS I) utilizate în cadrul celor două potențioetre digitale implementate în siliciu sunt comparabile (vezi figurile 6.13-6.14 vs. 6.3-6.4), arhitectura B3 catalogată a fi mai bună decât B2 din punct de vedere al caracteristicilor de liniaritate pentru tensiuni mici în capitolul 4, pierde acest avantaj în realitate datorită deviațiilor de rezistență.

## 6.4 Arhitecturi multi-etaj de potențioetre cu liniaritate îmbunătățită

### 6.4.1 Arhitectura B4

Arhitectura B4 este derivată din arhitectura B2 prezentată în capitolul 4 prin divizarea blocurilor de rezistență de  $128 \cdot R_0$  (vezi Fig. 4.4) în 8 blocuri de rezistență  $16 \cdot R_0$  și includerea lor în zonele de șunt. Schema astfel rezultată este reprezentată în Fig. 6.21. Noua configurație elimină erorile cauzate de o polarizare diferită a comutatoarelor din zona de șunt existente în cazul arhitecturii B2. Acest lucru este confirmat și de rezultatele simulărilor efectuate în aceleași condiții cu cele din capitolul 4, ce sunt expuse în Fig. 6.22. Erorile de neliniaritate maxime înregistrate în cazul arhitecturii B4 sunt reduse semnificativ (de la 0.8LSB la 0.015LSB pentru INL, respectiv de la 1.47LSB la 0.015LSB pentru eroarea DNL). Trebuie menționat că aria lui B4 este mai mare decât cea a lui B2 ( $0.049\text{mm}^2$  față de  $0.037\text{mm}^2$ ) datorită numărului mai mare de comutatoare din structura configurației B4. Și față de arhitectura B3 performanțele de liniaritate ale lui B4 sunt mai bune (vezi Tab. 4.4).

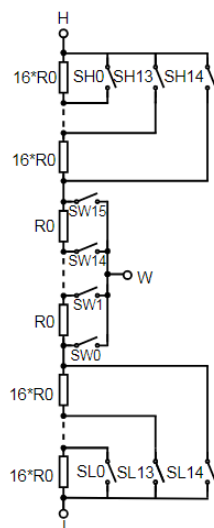


Fig. 6.19 Schema electrică a arhitecturii B4 de potențioetru [18].

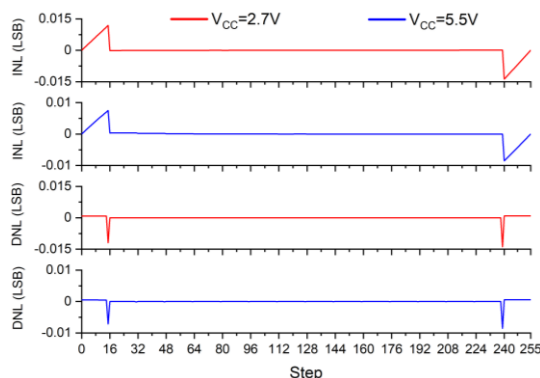


Fig. 6.20 Variațiile simulate ale erorilor INL și DNL cu pasul pentru arhitectura B4 când  $V_{CC}=2.7V$  și  $5.5V$ .

### 6.4.2 Arhitectura B4D

Adăugarea de structuri de compensare în zonele de șunt [6] ale arhitecturii B4 duce la obținerea configurației B4D, a cărei schemă este ilustrată în Fig. 6.23. Scopul acestor structuri este acela de a reduce și mai mult erorile de neliniaritate prin

menținerea constantă a rezistenței echivalente totale a potențiometrului indiferent de pas. Rezultatele privind variația erorilor INL și DNL cu pasul potențiometrului sunt expuse în Fig. 6.24. Acestea confirmă eficiența utilizării celor două structuri de compensare în reducerea erorilor, valoarea maximă absolută obținută fiind acum 0.0005LSB față de 0.015LSB din cazul arhitecturii B4. În plus, arhitectura B4D este mai puțin afectată de dimensiunile comutatoarelor utilizate.

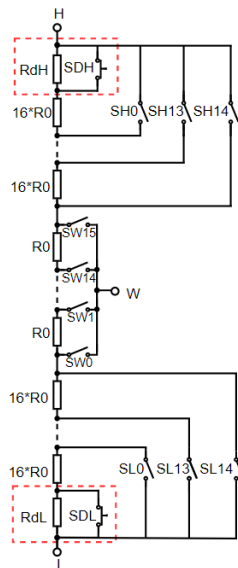


Fig. 6.21 Schema electrică a arhitecturii B4D [18].

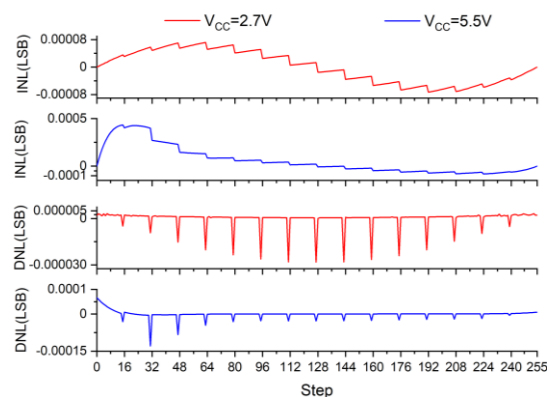


Fig. 6.22 Variațiile simulate ale erorilor INL și DNL cu pasul pentru arhitectura B4D când  $V_{cc}=2.7V$  și  $5.5V$ .

## 6.5 Arhitectura B4D - Rezultate experimentale

Configurația B4D, simulată în paragraful anterior a fost implementată în siliciu în două tehnologii diferite: 0.18 $\mu$ m CMOS și 0.18 $\mu$ m EEPROM.

### 6.5.1 Layout-ul B4D CMOS

Primul caz prezentat este cel în care arhitectura B4D a fost folosită în tehnologia de 0.18 $\mu$ m CMOS pentru realizarea unui potențiometru digital volatil de 50k $\Omega$  cu interfață I<sup>2</sup>C. Layout-ul proiectat și realizat este prezentat în Fig. 6.26.

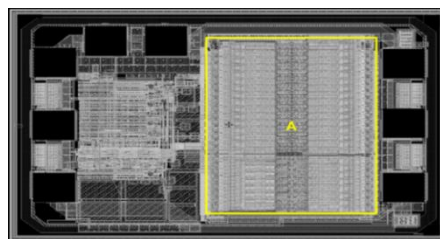


Fig. 6.23 Layout-ul potențiometrului digital implementat în siliciu folosind arhitectura B4D CMOS.

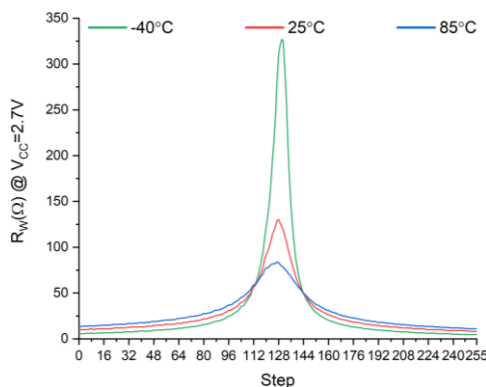
### 6.5.2 Rezistența totală B4D CMOS

Valoarea maximă pentru toleranța rezistenței totale a potențiometrului este de 4%. Specific tehnologiei de fabricație, coeficientul de variație cu temperatura al

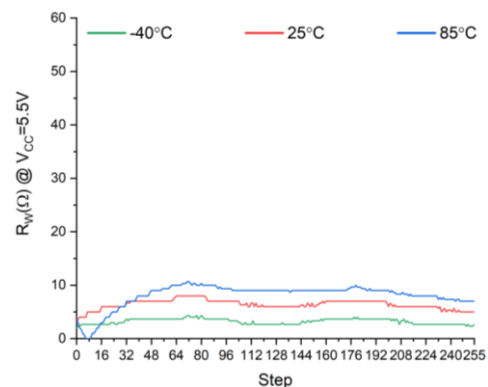
rezistenței totale este de  $-320 \text{ ppm}/^\circ\text{C}$ , dublu față de cel oferit de tehnologiile utilizate pentru implementarea în siliciu a DPP-urilor cu arhitecturile B2 și B3.

### 6.5.3 Rezistența cursorului B4D CMOS

Variația măsurată a rezistenței cursorului în funcție de pas este dată în figurile 6.28-6.29. Cele mai mari valori ale lui  $R_w$  corespund temperaturii de  $-40^\circ\text{C}$  pentru  $V_{CC}=2.7\text{V}$  ( $325\Omega$ ) (vezi Fig. 6.28), respectiv temperaturii de  $85^\circ\text{C}$  pentru  $V_{CC}=5.5\text{V}$  ( $10\Omega$ ) (vezi Fig. 6.29). Performanțele acestui potențiometru din punct de vedere al rezistenței cursorului nu sunt foarte bune în cazul tensiunii de alimentare mici, întrucât limita de referință de  $100\Omega$  este depășită chiar și pentru  $25^\circ\text{C}$ . În schimb, pentru tensiuni mari  $R_w$  prezintă cele mai mici valori comparativ cu cele obținute pentru arhitecturile B2 și B3 măsurate.



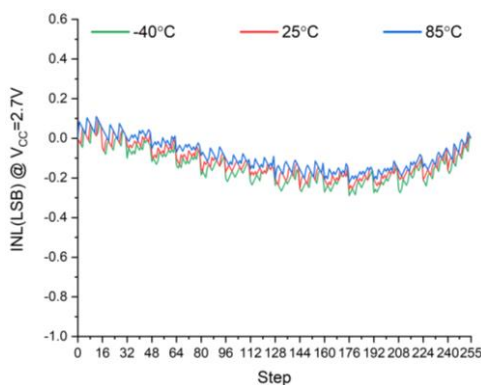
**Fig. 6.24** Variația măsurată a rezistenței cursorului cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B4D CMOS când  $V_{CC}=2.7\text{V}$ .



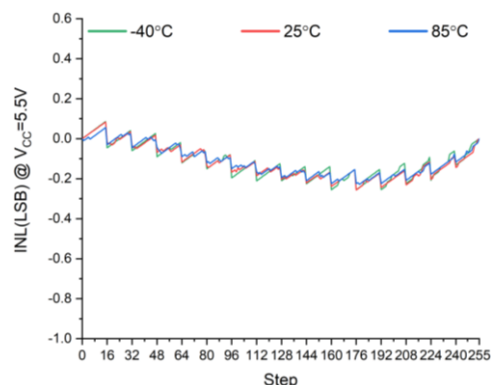
**Fig. 6.25** Variația măsurată a rezistenței cursorului cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B4D CMOS când  $V_{CC}=5.5\text{V}$ .

### 6.5.4 Caracteristicile de liniaritate B4D CMOS

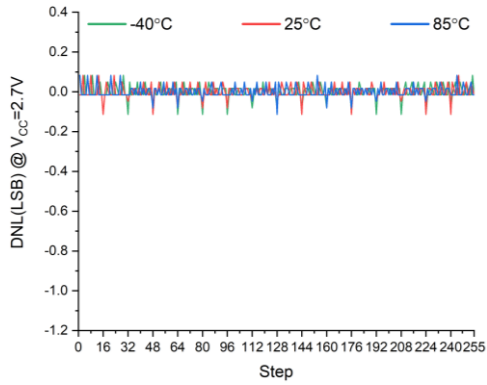
În figurile 6.30-6.33 sunt prezentate rezultatele măsurătorilor pentru variațiile erorilor INL și DNL cu pasul potențiometrului. Valoarea maximă pentru INL este situată în jurul lui  $-0.3\text{LSB}$  (figurile 6.30-6.31), în timp ce pentru DNL aceasta se află în jurul lui  $-0.13\text{LSB}$  (figurile 6.32-6.33). Comparativ cu arhitecturile anterioare, erorile de neliniaritate măsurate în cazul lui B4D CMOS au valorile cele mai mici.



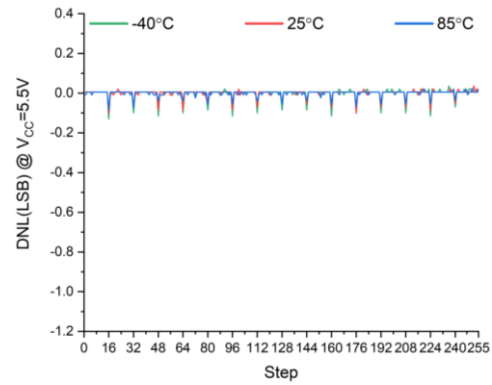
**Fig. 6.26** Variația măsurată a erorii INL cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B4D CMOS când  $V_{CC}=2.7\text{V}$ .



**Fig. 6.27** Variația măsurată a erorii INL cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B4D CMOS când  $V_{CC}=5.5\text{V}$  [18].

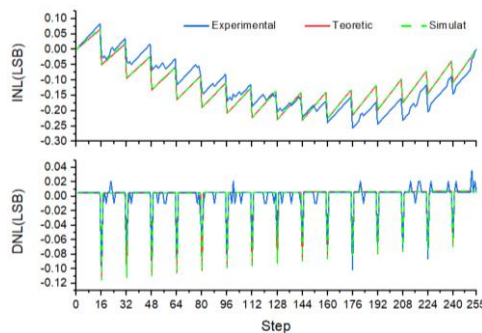


**Fig. 6.28** Variația măsurată a erorii DNL cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B4D CMOS când  $V_{CC}=2.7V$ .



**Fig. 6.29** Variația măsurată a erorii DNL cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B4D CMOS când  $V_{CC}=5.5V$  [18].

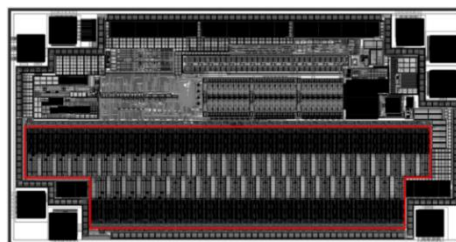
Modelul matematic dezvoltat pe baza aceluiași principiu cu cel utilizat în analiza erorilor de neliniaritate teoretice din cazul arhitecturilor B2 și B3 prezentate anterior, a arătat că atunci când nu există variații ale rezistenței incrementale, erorile INL și DNL sunt nule. Așadar, forma de variație a caracteristicilor de liniaritate măsurate este determinată exclusiv de deviațiile rezistenței incrementale. Acest lucru este confirmat de apropierea dintre curbele teoretice/simulate (ambele obținute pentru anumite valori nenule ale deviațiilor  $R_0$  din fiecare etaj) și cele măsurate adunate în Fig. 6.34.



**Fig. 6.30** Variațiile teoretice și simulate ale erorilor INL și DNL cu pasul care țin cont de deviația de rezistență vs. variațiile măsurate pentru arhitectura B4D CMOS când  $V_{CC}=5.5V$  [18].

### 6.5.5 Layout-ul B4D EEPROM

În afară de potențiometrul ale cărui performanțe au fost discutate în subcapitolul anterior, arhitectura B4D a mai fost folosită și pentru fabricarea în siliciu într-o tehnologie de  $0.18\mu m$  EEPROM a unui DPP nevolatil de  $10k\Omega$  cu interfață de tip  $I^2C$ . Layout-ul proiectat și realizat pentru acesta este dat în Fig. 6.35.

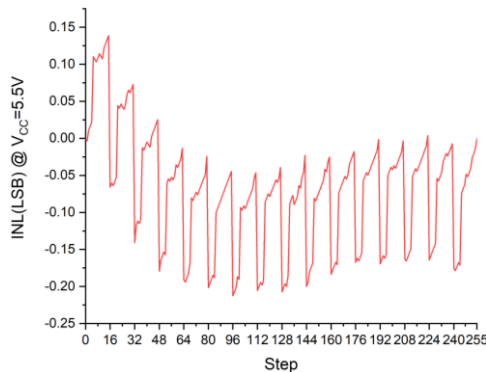


**Fig. 6.31** Layout-ul potențiometrului digital implementat în siliciu folosind arhitectura B4D EEPROM [19].

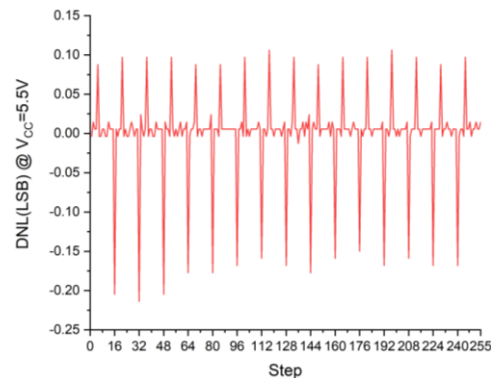


## 6.5.6 Caracteristici de liniaritate B4D EEPROM

În figurile 6.36-6.37 sunt date rezultatele măsurătorilor pentru variația erorilor INL și DNL cu pasul pentru  $V_{CC}=5.5V$  și temperatura de  $25^{\circ}C$ .

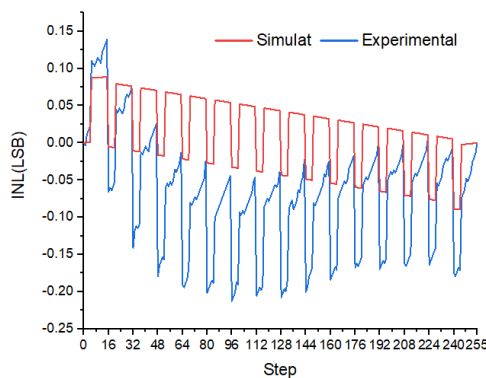


**Fig. 6.32** Variația măsurată a erorii INL cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B4D EEPROM [19].

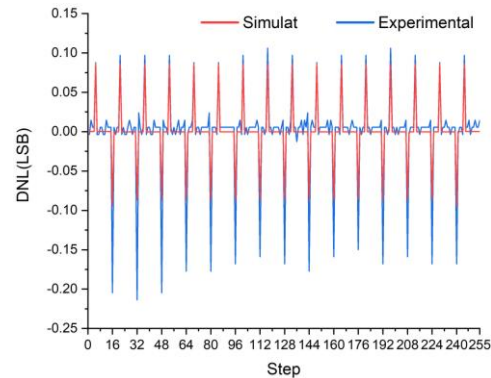


**Fig. 6.33** Variația măsurată a erorii DNL cu pasul pentru potențiometrul implementat în siliciu folosind arhitectura B4D EEPROM [19].

Comparativ cu variațiile erorilor de neliniaritate obținute pentru potențiometrul analizat anterior, realizat tot cu arhitectura nouă B4D, dar în tehnologie CMOS (curbele roșii din figurile 6.31 și 6.33), în curbele din figurile 6.36, respectiv 6.37 apar regulat salturi, respectiv vârfuri suplimentare la anumiți pași. Cauza apariției acestora, confirmată de simulările din figurile 6.41 și 6.42, este rezistența parazită (de  $3.4\Omega$ ) a unui fir de interconexiune dintre două rezistențe incrementale din etajul cursorului arhitecturii B4D.



**Fig. 6.34** Variația simulată a erorii INL cu pasul când rezistența parazită ( $R_P=3.4\Omega$ ) este introdusă în etajul cursorului arhitecturii B4D vs. variația măsurată [19].



**Fig. 6.35** Variația simulată a erorii DNL cu pasul când rezistența parazită ( $R_P=3.4\Omega$ ) este introdusă în etajul cursorului arhitecturii B4D vs. variația măsurată [19].

Așadar, pentru obținerea unor caracteristici de liniaritate cât mai bune layout-ul arhitecturii trebuie să fie cât mai compact, iar traseele de interconectare minime.

## 6.6 Comparație arhitecturi B2, B3, B4D CMOS

Pentru a efectua mai eficient o analiză comparativă performanțele potențiometrelor de  $50k\Omega$  sunt sumarizate în Tab. 6.6 în care au fost trecute și limitele uzuale corespunzătoare fiecărui parametru.

**Tab. 6.1** Performanțele potențioanelor cu rezistență totală de 50kΩ analizate experimental.

Parametru	Limita uzuală	Arhitectura B2	Arhitectura B3	Arhitectura B4D CMOS
Tip potenciometru	-	volatil	nevolatil	volatil
Tehnologie	-	0.5μm CMOS	0.5μm EEPROM	0.18μm CMOS
Arie [mm <sup>2</sup> ]	-	1.25	3.9	0.49
Toleranța R <sub>HL</sub> [%]	20	7	5	4
TCR R <sub>HL</sub> [ppm/°C]	100	-170	-140	-320
R <sub>w</sub> max @V <sub>CC</sub> =2.7V [Ω]	100	100	90	325
R <sub>w</sub> max @V <sub>CC</sub> =5.5V [Ω]	100	60	47	10
INL max [LSB]	±1	-0.4	-1	-0.3
DNL max [LSB]	±0.5	-0.4	-1.2	-0.13

## 6.7 Concluzii

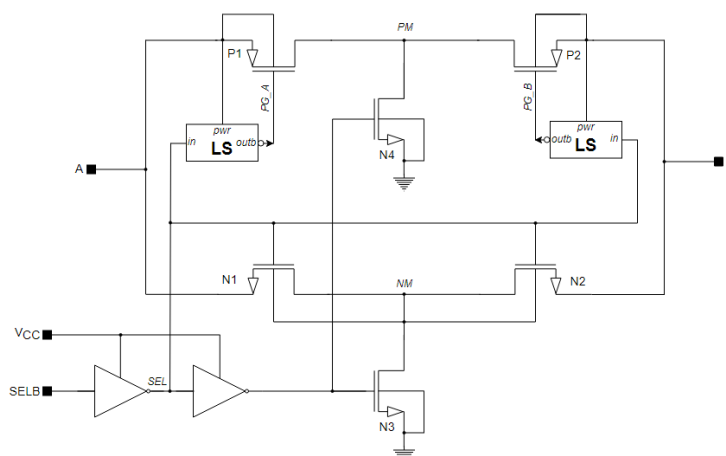
În cadrul acestui capitol au fost propuse două variante de arhitecturi noi (arhitectura B4 și B4D), cu liniaritate îmbunătățită, derivate din arhitectura B2 prezentată în capitolul 4. În plus, au fost prezentate aici rezultate experimentale pentru patru potențioetre digitale implementate folosind arhitecturile B2, B3 și B4D. Dintre acestea, performanțele cele mai bune legate de liniaritate le are arhitectura B4D, iar acest lucru a fost dovedit atât prin simulări, cât și prin măsurători și rezultate teoretice. Dacă din punct de vedere layout se iau toate măsurile de precauție (tehnic de împerechere, trasee minime de metal) atunci liniaritatea unui potențioetru digital realizat cu ajutorul arhitecturii noi B4D va fi condiționată numai de limitările tehnologice.

# Capitolul 7

## Comutatoare pentru potențiometre digitale, cu performanțe îmbunătățite

### 7.1 Comutatorul CMOS cu gamă extinsă peste tensiunea de alimentare

Comutatorul CMOS bidirecțional cu gamă extinsă de tensiune propus [20] are schema din Fig. 7.1. Acesta este format din două tranzistoare comutatoare cu canal p (P1 și P2) și două cu canal n (N1 și N2). Polarizarea substratelor acestora se face astfel încât  $V_{BS}$  să fie cât mai aproape de zero, însă tehnica utilizată este diferită de cele regăsite în capitolul 5. Foarte importante în structura comutatorului din Fig. 7.1 sunt blocurile de deplasare de nivel (LS). Rolul lor este fundamental în starea OFF. Acestea translatează nivelul de comandă al tranzistoarelor P1 și P2 din valori de  $V_{CC}$  în valori de  $V_A$ , respectiv  $V_B$  pentru a le menține în blocare când tensiunea aplicată pe comutator este mai mare decât  $V_{CC}$ . De menționat că în patentul [21] se descrie o schemă electrică de comutator bidirecțional cu gamă extinsă a tensiunii pe terminale.

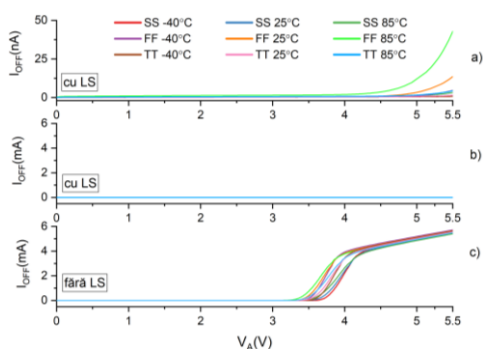


**Fig. 7.1** Schema electrică a comutatorului CMOS cu gamă extinsă peste tensiunea de alimentare [20].

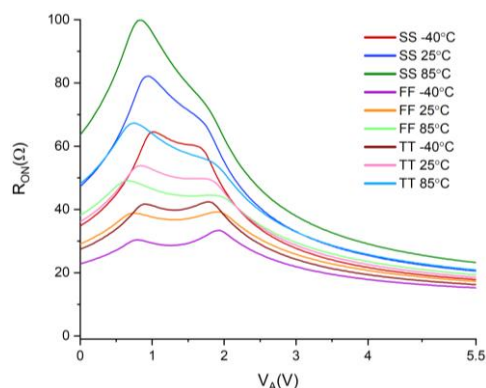
Eficiența utilizării blocurilor LS este confirmată și de simulări (Fig. 7.3). În absența lor, pentru  $V_{CC}=2.7V$  și tensiuni  $V_A>3.3V$  prin comutator trec curenți

semnificativi (de ordinul mA, Fig. 7.3c)) în starea OFF. În prezența lor (schema din Fig. 7.1) curentul de blocare maxim este de 50nA (Fig. 7.3a)).

Aceeași tehnologie cu cea din cazul comutatoarelor din capitolul 5 (0.18μm CMOS de 5V) este utilizată și pentru proiectarea comutatorului cu gamă extinsă. Aria pentru care se respectă condiția de proiectare a rezistenței de conducție maxime de 100Ω pentru  $V_{CC}=2.7V$  (Fig. 7.4) este de 4300μm<sup>2</sup>.



**Fig. 7.2** Curentul rezidual  $I_{OFF}$  pentru comutatorul CMOS cu gamă extinsă de tensiune când  $V_{CC}=2.7V$  și  $V_A$  variază între 0 și 5.5V pe schema din Fig. 7.1: a) cu modulele LS prezente în schemă (zoom); b) cu modulele LS prezente în schemă; c) în absența modulelor LS.



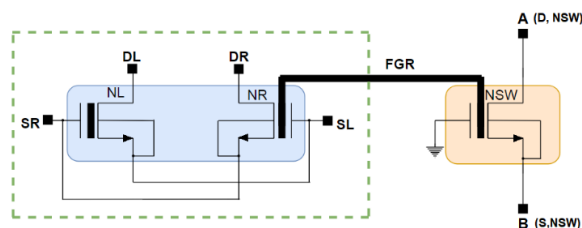
**Fig. 7.3** Variația rezistenței  $R_{ON}$  cu tensiunea  $V_A$  pentru comutatorul CMOS cu gamă extinsă peste tensiunea de alimentare.

Comparativ cu variantele CMOS analizate în capitolul 5, comutatorul cu gamă extinsă de tensiune ocupă o arie mai mare decât cea a lui CMOS II și III, dar mai mică decât CMOS I. Și din punct de vedere al curentului  $I_{OFF}$ , cel cu gamă extinsă este superior lui CMOS I (vezi Tab. 5.2). Trebuie menționat că dintre toate variantele CMOS, numai comutatorul cu gamă extinsă de tensiune permite operarea cu tensiuni mai mari decât alimentarea. Utilizarea unui astfel de comutator în structura potențioanelor digitale va permite aplicarea pe capetele potențioanelor a unor tensiuni mai mari decât tensiunea de alimentare, până acum imposibilă.

## 7.2 Comutatorul nevolatil

### 7.2.1 Structura și funcționarea comutatorului nevolatil

Cel de al doilea comutator propus este comutatorul nevolatil unidirecțional a cărui schemă este dată în Fig. 7.9. Acesta este format dintr-un tranzistor comutator nMOS cu poartă flotantă (NSW în Fig. 7.9) și o celulă de memorie responsabilă cu programarea porții flotante (FGR) a tranzistorului NSW.



**Fig. 7.4** Schema electrică a comutatorului nevolatil [22], [23].

O caracteristică remarcabilă a comutatorului nevolatil este aceea că tensiunea sa de comandă ( $V_{FGR}$ ) este programabilă și independentă de  $V_{CC}$  spre deosebire de comutatoarele standard. Această caracteristică face ca utilizarea comutatorului nevolatil să fie foarte potrivită în aplicațiile de joasă tensiune. Trebuie menționat că metodele actuale utilizate în astfel de aplicații asigură tensiuni de comandă dependente de tensiunea de alimentare a sistemului [24-28]. În plus față de acestea, caracterul nevolatil face ca o dată programat comutatorul să nu mai consume curent.

Programarea în cele două stări ON și OFF se face prin aplicarea corespunzătoare a tensiunii de programare ( $V_{PP}$ ), conform cu Fig. 7.10.

Layout-ul proiectat și realizat pentru comutatorul nevolatil propus de arie egală cu  $2400\mu\text{m}^2$  (Fig. 7.11), a fost inclus într-o structură de test implementată în siliciu într-o tehnologie  $0.18\mu\text{m}$  EEPROM.

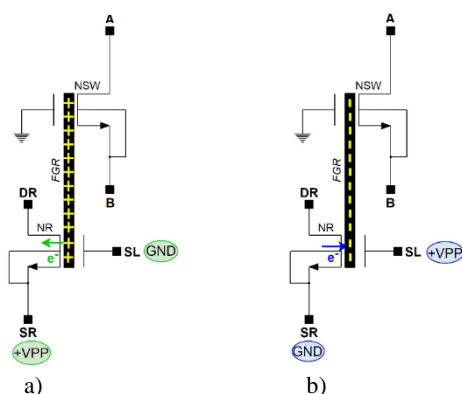


Fig. 7.5 Condițiile de programare a) ON și b) OFF ale tranzistorului NSW [23].

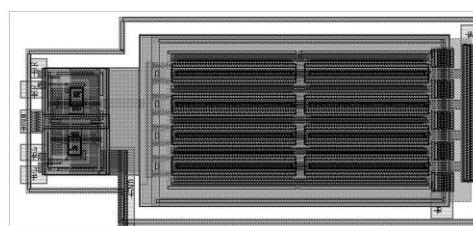


Fig. 7.6 Layout-ul proiectat și realizat pentru comutatorul nevolatil [22].

## 7.2.2 Rezultate experimentale

Măsurătorile efectuate pe plachetă au arătat o serie de aspecte caracteristice ale comutatorului nevolatil. În primul rând, starea intrinsecă a comutatorului este OFF. Acesta poate fi programat atât ON, cât și OFF în mod repetat prin aplicarea de tensiuni de programare corespunzătoare asupra celulei de memorie. De asemenea, măsurătorile au confirmat și caracterul nevolatil al comutatorului.

În plus, pe baza variației curentului de drenă al tranzistorului NSW în funcție de tensiunea aplicată pe sursă (Fig. 7.18) a fost evidențiată o dependență a tensiunii de comandă  $V_{FGR}$  de tensiunea de programare conform cu Tab. 7.3.

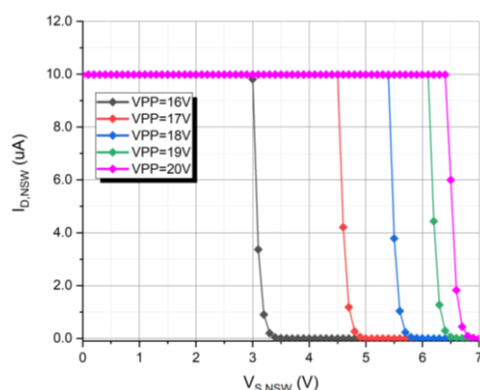


Fig. 7.7 Variația măsurată a curentului de drenă cu tensiunea  $V_{S,NSW}$  pentru diferite valori  $V_{PP}$  [23].

Tab. 7.1 Dependența  $V_{FGR}$  ( $V_{PP}$ ).

VPP (V)	$V_{S,NSW}$ (V)	$V_{FGR}$ (V)
16	3	3.9
17	4.5	5.4
18	5.4	6.3
19	6.1	7
20	6.4	7.3

Rezistența de conducție măsurată a comutatorului nevolatil este situată între  $45\Omega$  și  $70\Omega$  pentru tensiuni aplicate pe sursă sub 2V (Fig. 7.21) când pentru programarea în starea ON se folosește tensiunea  $V_{PP}=18V$ . Pe baza rezultatelor de simulare obținute pentru variația  $R_{ON}$  cu tensiunea  $V_{S,NSW}$  pentru diverse valori ale  $V_{FGR}$  și a curbei de variație măsurată a  $R_{ON}$ , adunate în Fig. 7.22, valoarea estimată pentru  $V_{FGR}=6.3V$  când  $V_{PP}=18$  (vezi Tab. 7.3) este confirmată de simulări.

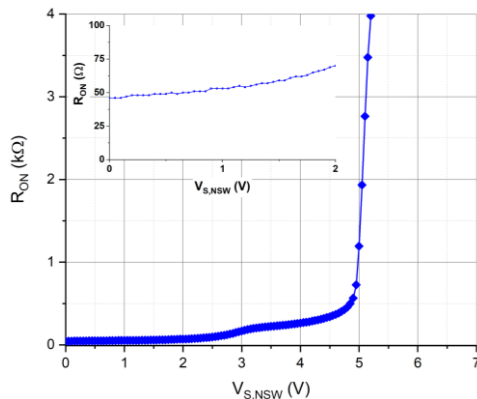


Fig. 7.8 Variația măsurată a rezistenței  $R_{ON}$  cu tensiunea  $V_{S,NSW}$  [23].

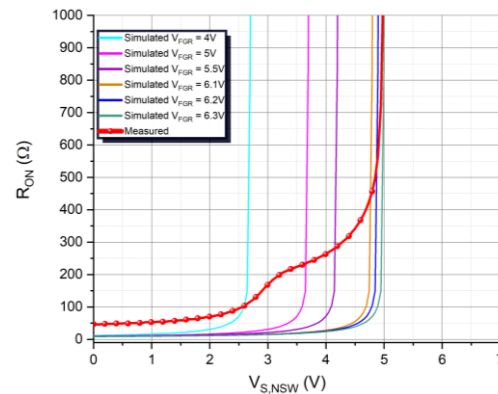


Fig. 7.9 Variația rezistenței  $R_{ON}$  cu tensiunea  $V_{S,NSW}$ . Curba roșie corespunde variației măsurate, iar celelalte curbe corespund variației simulate pentru diverse valori ale  $V_{FGR}$  [23].

Curentul măsurat prin tranzistorul NSW după aplicarea secvenței de programare în starea OFF a fost de max. 5nA, confirmând starea de blocare a tranzistorului.

A fost propusă de asemenea și o variantă bidirecțională a comutatorului nevolatil, însă aceasta nu a fost implementată în siliciu.

## 7.3 Concluzii

În cadrul acestui capitol au fost propuse două configurații noi de comutatoare având caracteristici superioare față de schemele studiate prin simulări în capitolul 5.

Aceste noi configurații elimină o serie de neajunsuri ale potențioanelor digitale datorate comutatoarelor standard folosite. Este vorba în primul rând de limitarea tensiunii maxime pe terminalele potențioanelor la valoarea tensiunii de alimentare. La nivelul comutatorului această problemă se traduce prin imposibilitatea de a aplica tensiuni pe capetele comutatorului mai mari decât tensiunea de alimentare. Ambele scheme propuse suportă tensiuni mai mari decât alimentarea, atâta vreme cât acestea se află sub limita dată de tensiunea maximă de operare a tranzistoarelor și respectiv tensiunea programată în poarta flotantă.

În plus, comutatorul nevolatil elimină dependența performanțelor potențioanelor digitale de tensiunea de alimentare atât de restrictivă în aplicațiile de joasă tensiune. O aplicație foarte potrivită a comutatorului nevolatil este potențioanelul digital nevolatil folosit în protezele auditive. Soluția actuală folosită în cazul protezelor folosește pompe de sarcină pentru a furniza niveluri de tensiune suficient de mari care să comande poarta comutatoarelor, iar aceste pompe introduc zgomot nedorit. Utilizarea unui comutator nevolatil în astfel de aplicații elimină problema legată de zgomot, oferă rezistențe mici pentru tensiuni sub 2V (limita maximă a tensiunii furnizate de baterie în cazul acestor proteze), reduce consumul de putere și elimină nevoia de blocuri speciale pentru memorarea pasului potențioanelului.

# Capitolul 8

## Concluzii

### 8.1 Rezultate obținute

Tema tezei de doctorat acoperă domeniul potențioanelor digitale (DPP): proiectare, layout, implementare în siliciu, simulări, măsurători electrice, comparații simulări date experimentale, noi modele matematice.

Teza prezintă la început, în capitolul 2, structura unui potențiomtru digital, principalii parametri caracteristici, precum și aplicații tipice ale acestuia. Un DPP este format dintr-un potențiomtru propriu-zis și o parte de control digital responsabilă cu furnizarea semnalelor necesare pentru realizarea reglajului. Ambele părți au fost tratate pe parcursul acestei teze, însă îmbunătățiri au fost aduse numai părții de potențiomtru propriu-zis întrucât aceasta este responsabilă cu asigurarea unor parametri caracteristici cât mai buni. Cerințele de performanță din cadrul sistemelor audio-video (aplicațiile cele mai uzuale ale DPP-urilor) vizează în principal aria consumată cât mai mică, tensiuni de funcționare cât mai mici, consum redus de curent, dar și posibilitatea de a realiza un reglaj cât mai fin și mai uniform/liniar.

În capitolul 3 a fost analizată partea digitală de control a unui potențiomtru. A fost considerată interfața digitală I<sup>2</sup>C, una din cele mai întâlnite modalități de comunicare sincronă între utilizator și un potențiomtru digital. Pe baza unui caz particular considerat, au fost testate din punct de vedere funcțional în cadrul simulărilor o serie de operații ce pot fi efectuate asupra unui potențiomtru nevolatil (un DPP care memorează starea în cazul întreruperii alimentării).

În cadrul capitolului 4 au fost prezentate 12 configurații de potențiomtre propriu-zise selectate din literatură. Este vorba de arhitectura clasică cu un singur etaj (SS) și alte 11 configurații multi-etaj din două categorii: cu rezistențe de volum (B0-B3) și cu rezistențe proporționale cu puterile lui 2 (BW1-BW7). Fiecare variantă a fost proiectată în aceeași tehnologie 0.18μm CMOS pentru o rezoluție de 8 biți și rezistență totală de 10kΩ. Astfel, cele 12 configurații au putut fi comparate prin simulări. Investigația privind aria consumată a arătat că arhitecturile cu rezistențe proporționale cu puterile lui 2 sunt cele mai eficiente din punct de vedere al costului de producție. În ceea ce privește erorile, configurația clasică este cea mai bună (erori nule), însă costul de fabricație pentru aceasta este ridicat datorită ariei mari consumate. Cele mai mari erori s-au obținut pentru topologiile cu rezistențe proporționale cu puterile lui 2. Soluția de compromis în ceea ce privește aria și erorile introduse este cea a arhitecturilor cu rezistențe de volum. Pentru tensiuni mari (5.5V), configurația B2 este cea mai potrivită din punct de vedere al erorilor de neliniaritate (INL<0.05, DNL<0.12) și ariei (0.037mm<sup>2</sup>). În schimb, pentru tensiuni mici (2.7V),

arhitectura B3 este superioară. Eroarea  $DNL < 0.29LSB$ , este semnificativ mai mică decât cea obținută pentru topologia B2 (1.47LSB). Prețul plătit de utilizarea arhitecturii B3 în detrimentul lui B2 este cel al rezistenței duble a cursorului și al ariei ușor mai mare (0.046mm<sup>2</sup>). În concluzie s-a stabilit că arhitecturile B2 și B3 oferă cele mai bune performanțe în ceea ce privește aria consumată și liniaritatea. Plecând de la această constatare s-au proiectat layout-urile corespunzătoare și s-au implementat în siliciu ambele arhitecturi B2 și B3. Mai mult în teză s-au propus două variante îmbunătățite ale variantei B2 (B4 și B4D).

Capitolul 5 tratează comutatoarele, componente foarte importante în cadrul potențioanelor digitale. Caracteristicile acestora influențează direct performanțele DPP-ului. Rezistența de conducție este parametrul cel mai restrictiv. Aceasta este cea care dictează rezistența cursorului, tensiunea de alimentare minimă a potențioanelor, gama de tensiuni care se poate aplica între terminale și erorile în cazul arhitecturilor multi-etaj. Bidirecționalitatea, permite interschimbarea între cele două terminale ale potențioanelor. În plus, curentul consumat în starea OFF influențează consumul DPP-ului. În cadrul acestui capitol au fost analizate o serie de comutatoare uzuale, pornind de la cel mai simplu, implementat cu un singur tranzistor (nMOS și respectiv pMOS), și continuând cu mai multe variante CMOS. Comutatorul nMOS a fost prezentat în două versiuni: unidirecțională și bidirecțională. Pentru toate celelalte comutatoare a fost expusă numai varianta bidirecțională. Fiecare arhitectură a fost proiectată și simulată în tehnologie CMOS de 0.18μm. Rezultatele obținute în urma simulărilor au arătat faptul că gama de tensiuni aplicate pe comutator pentru care este îndeplinit criteriul de proiectare ( $R_{ONmax} = 100\Omega$  pentru  $V_{CC} = 2.7V$ ) este limitată atât în cazul comutatorului nMOS (<1.34V), cât și a celui pMOS (>1.4V). În schimb, comutatoarele CMOS permit aplicarea oricăror tensiuni situate în gama 0÷V<sub>CC</sub>. Pentru acestea au fost utilizate tehnici actuale de polarizare a substratului pentru a îmbunătăți rezistența de conducție. Acest lucru a permis reducerea semnificativă a ariei, dar și a curentului de blocare consumat. Concret, de la o arie de 5650μm<sup>2</sup> în cazul configurației clasice CMOS I la aproximativ 1600μm<sup>2</sup> în cazul CMOS II și III. Din punct de vedere al curentului I<sub>OFF</sub>, valoarea de 200nA corespunzătoare lui CMOS I a fost redusă la 22nA pentru variantele CMOS II și CMOS III.

În cadrul capitolului 6 au fost propuse două noi arhitecturi de potențioană propriu-zise cu performanțe de liniaritate și arie superioare celor prezentate în capitolul 4. Este vorba de arhitecturile B4 și B4D care au fost dezvoltate plecând de la arhitectura B2. Acestea au fost proiectate și simulate în condiții identice celor din capitolul 4. Rezultatele simulărilor au arătat o reducere semnificativă a erorilor față de cele obținute în cazul arhitecturii B2 pentru tensiuni mici. De la 0.8LSB la 0.015LSB (INL), respectiv de la 1.47LSB la 0.0015LSB (DNL) pentru topologia B4. În ceea ce privește configurația B4D erorile de neliniaritate sunt reduse și mai mult, la maximum 0.0005LSB pentru ambele erori.

Topologia B4D, împreună cu B2 și B3 au fost implementate în siliciu în structura unor potențioană digitale cu 256 de pași și interfață I<sup>2</sup>C. Pe circuitele fabricate s-au măsurat: variația rezistenței totale cu tensiunea și temperatura, variația rezistenței cursorului și a erorilor de neliniaritate cu pasul. Din analiza comparativă a datelor măsurate a rezultat că cel mai stabil este potențioanelul cu arhitectură B3. Rezistența totală în acest caz are o toleranță de 7% față de valoarea nominală de 50kΩ și un TCR de -140ppm/°C. Valoarea maximă pentru rezistența cursorului (R<sub>w</sub>) pentru V<sub>CC</sub>=2.7V este cea mai mică, 90Ω, în cazul topologiei B3 și cea mai mare, 325Ω,



pentru B4D în tehnologie CMOS. Pentru tensiuni de alimentare mari (5.5V),  $R_w$  este cea mai mică în cazul arhitecturii B4D CMOS (10 $\Omega$ ). Din punct de vedere al caracteristicilor de liniaritate cea mai bună este arhitectura B4D pentru care erorile de neliniaritate sunt mici (sub 0.3LSB pentru INL și sub 0.13LSB pentru DNL comparativ cu 0.4LSB, atât pentru INL cât și pentru DNL, în cazul arhitecturii B2 și 1LSB, respectiv 1.2LSB în cazul configurației B3). Pentru fiecare din aceste trei potențiometre, a fost propus un model pentru determinarea erorilor INL și DNL teoretice. Scopul a fost acela de a identifica factorii care determină forma de variație a caracteristicilor de liniaritate măsurate. Măsurătorile efectuate pe DPP-ul cu rezistența totală de 10k $\Omega$  (variante B4D din tehnologie EEPROM) au arătat că rezistența parazită reprezintă un factor important în degradarea caracteristicilor de liniaritate ale potențiometrului. Prin urmare, obținerea unei caracteristici de liniaritate cât mai bune este condiționată de conceperea unui layout cât mai compact, cu conexiuni de rezistențe neglijabile și tehnici de împerechere a rezistențelor incrementale și deopotrivă de topologia și tehnologia de fabricație aleasă.

În capitolul 7 au fost propuse două configurații noi de comutatoare a căror utilizare în cadrul potențiometrului digital duce la posibilitatea de aplicare pe terminalele acestuia a unor tensiuni mai mari decât tensiunea de alimentare. Trebuie menționat că aceasta reprezintă o limitare actuală a DPP-urilor comercializate. Ambele configurații au fost investigate prin simulări. Prima variantă, numită comutator CMOS cu gamă extinsă de tensiune a fost proiectată și realizată în tehnologie 0.18 $\mu$ m CMOS (la fel ca versiunile prezentate în capitolul 5). Considerând același criteriu de proiectare (rezistența de conducție maximă de 100 $\Omega$ ) aria ocupată de comutator a fost de 4300 $\mu$ m<sup>2</sup>. Comparativ cu variantele CMOS II și III din capitolul 5, această arie este mai mare, dar mai mică decât cea a lui CMOS I. Și din punct de vedere al curentului de blocare varianta cu gamă extinsă de tensiune este superioară lui CMOS I (50nA față de 200nA). Avantajul major față de toate configurațiile prezentate în capitolul 5 este cel al gamei extinse de tensiune.

A doua variantă prezentată în capitolul 7 este cea a unui comutator nevolatil. Elementul comutator este un nMOS cu poartă flotantă. Una dintre caracteristicile cele mai importante ale comutatorului nevolatil este aceea că tensiunea aplicată pe capetele acestuia și rezistența sa de conducție sunt independente de tensiunea de alimentare, spre deosebire de celelalte comutatoare uzuale. Acestea depind numai de tensiunea programabilă în poarta flotantă. Programarea porții flotante se face printr-o celulă de memorie separată. O altă caracteristică remarcabilă a comutatorului nevolatil este aceea că o dată programat își păstrează starea, fără să mai consume curent. Varianta unidirecțională discutată a fost proiectată și implementată în siliciu într-o tehnologie 0.18 $\mu$ m EEPROM. Funcționalitatea comutatorului nevolatil unidirecțional a fost demonstrată atât prin simulări, cât și prin măsurători efectuate pe plachetă. În urma măsurătorilor au rezultat o serie de concluzii. Tensiunea de pe poarta flotantă poate fi mărită până la un punct prin mărirea tensiunii de programare. Rezistența de conducție a tranzistorului comutator are valori între 45 $\Omega$  și 70 $\Omega$  pentru tensiuni aplicate pe sursă sub 2V. Curentul maxim de blocare măsurat este de 5nA. Valorile mici ale rezistenței  $R_{ON}$  pentru tensiuni sub 2V, valori independente de tensiunea de alimentare a potențiometrului, curentul foarte mic consumat și caracterul nevolatil recomandă utilizarea comutatorului nevolatil în structura DPP-urilor nevolatile folosite pentru reglajul volumului în protezele auditive, dar și în alte dispozitive portabile.

## 8.2 Contribuții originale

Contribuțiile originale sunt prezente în toate capitolele tezei.

1. Sinteză din literatura de specialitate privind:
  - arhitecturi de potențiometre digitale, parametri caracteristici, aplicații;
  - comutatoare;
  - interfețe digitale I<sup>2</sup>C.
2. Arhitecturi de circuit îmbunătățite pentru:
  - potențiometre: variantele B4, B4D [7];
  - comutatoare: comutatorul cu gama extinsă de tensiune [3] și comutatorul nevolatil [2], [5].
3. Implementarea în siliciu a unui comutator și a 4 configurații de DPP:
  - comutatorul nevolatil unidirecțional în tehnologie 0.18μm EEPROM [2];
  - DPP volatil cu topologia B2 în tehnologie 0.5μm CMOS [8];
  - DPP nevolatil cu configurația B3 în tehnologie 0.5μm EEPROM [8];
  - DPP volatil cu arhitectura B4D în tehnologie 0.18μm CMOS [7];
  - DPP nevolatil cu arhitectura B4D în tehnologie 0.18μm EEPROM [6].
4. Proiectarea și realizarea de layout-uri pentru:
  - comutatorul nevolatil unidirecțional [2], [5];
  - cele 4 potențiometre realizate în siliciu [6].
5. Testarea prin simulări a modului de funcționare și performanțelor mai multor familii de:
  - potențiometre [1], [4], [6], [7];
  - comutatoare [2], [3], [5].
6. Comparatie între datele experimentale și rezultatele din simulări (în cazul arhitecturii B4D pentru caracteristicile de neliniaritate și în cazul comutatorului nevolatil).
7. Dezvoltarea unui model matematic pentru determinarea erorilor INL și DNL pentru 3 arhitecturi: B2, B3 și B4D CMOS [7]; comparații între datele obținute cu acest model și rezultatele experimentale.
8. Analiza influenței rezistențelor parazite din layout asupra degradării performanțelor de liniaritate în cazul arhitecturii B4D EEPROM [6].
9. Efectuarea de măsurători pe plachetă asupra comutatorului nevolatil unidirecțional [2].
10. Investigații realizate prin simulări privind funcționarea părții digitale de control a potențiometrului (interfața I<sup>2</sup>C).

## 8.3 Lista lucrărilor originale

1. **Ilie (Chiranu), G.-C.**; Tudoran, C.; Neagoe, O.; Brezeanu, G., “*Low Cost Approaches for High Resolution Digitally Programmable Potentiometers*”, Romanian Journal of Information Science and Technology (ROMJIST), Vol: 23, 2020, Q4 (IF=0.485), ISI, WOS: 000532321500004.
2. **Ilie (Chiranu), G.-C.**; Tudoran, C.; Neagoe, O.; Drăghici, F.; Brezeanu, G., “*Nonvolatile Analog Switch for Low-Voltage Applications*”, Electronics Journal,

Volume 10, no. 6: 736, March 20, 2021, Q2 (IF=2.412), ISI, WOS: 000634338200001, DOI: 10.3390/electronics10060736.

3. **Ilie (Chiranu), G.-C.**; Tudoran, C.; Neagoe, O.; Brezeanu, G., “*Improved CMOS Analog Switch*”, International Symposium on Signals, Circuits and Systems (ISSCS), June 11-12, Romania, Iasi, 2019, ISI, WOS: 000503459500048, DOI: 10.1109/ISSCS.2019.8801776.

4. **Ilie (Chiranu), G.-C.**; Tudoran, C.; Neagoe, O.; Brezeanu, G., “*Performance Analysis for High Resolution Digitally Programmable Potentiometers*”, International Semiconductor Conference (CAS), October 9-11, Romania, Sinaia, 2019, ISI, WOS: 000514295300038, DOI: 10.1109/SMICND.2019.8923775.

5. **Ilie (Chiranu), G.-C.**; Tudoran, C.; Neagoe, O.; Brezeanu, G., “*Nonvolatile Analog Switch*”, International Conference on Electronics, Computers and Artificial Intelligence (ECAI), June 25-27, Romania, 2020, ISI, WOS: 000627393500103, DOI: 10.1109/ECAI50035.2020.9223230.

6. **Ilie (Chiranu), G.-C.**; Tudoran, C.; Neagoe, O.; Brezeanu, G., “*Parasitic Resistance Influence on High Resolution Digitally Programmable Potentiometers Linearity*”, International Semiconductor Conference (CAS), October 7-9, Romania, 2020, ISI, WOS: , DOI: 10.1109/CAS50358.2020.9268041.

7. **Ilie (Chiranu), G.-C.**; Tudoran, C.; Neagoe, O.; Pristavu, G.; Brezeanu, G., “*Digitally Programmable Potentiometer Multistage Architecture with Switch Independent Linearity*”, lucrare acceptată pentru prezentare la conferința PhD Research in Microelectronics and Electronics (PRIME), 19-22 July, 2021, ISI.

8. **Ilie (Chiranu), G.-C.**; Tudoran, C.; Pristavu, G.; Brezeanu, G., “*8-bit Digitally Programmable Potentiometer Multistage Architectures – Experimental Results*”, lucrare pregătită pentru International Semiconductor Conference (CAS), 6-8 October, 2021, ISI.

## 8.4 Perspective de dezvoltare ulterioară

Cercetarea viitoare se va axa în principal pe proiectarea și implementarea în siliciu a unor potențioetre digitale care să încorporeze structurile cu performanțe îmbunătățite de comutatoare, propuse în această teză.

În plus se va încerca îmbunătățirea layout-ului arhitecturii B4D de potențioetru prin minimizarea pe cât posibil a traseelor de interconectare dintre rezistențe și utilizarea de tehnici speciale de împerechere a rezistențelor de polisiliciu. Scopul este acela de a reduce și mai mult erorile de neliniaritate ale potențioetrului.

În ceea ce privește partea digitală de control a potențioetrului se va studia noul protocol de comunicație I<sup>3</sup>C ce permite viteze de comunicație de până la 12.5MHz.

# Bibliografie

- [1] Analog Devices, *AD5228*, Foaie de catalog
- [2] ON Semiconductor, “*The CAT5132 Used for VCOM Buffer Control in a TFT LCD Display*”, Notă de aplicație - AND8416/D, 2013
- [3] NXP, “*I2C-bus specification and user manual - Rev. 6*”, 2014. <https://www.nxp.com/docs/en/user-guide/UM10204.pdf>
- [4] F. Leens, “*An Introduction to I<sup>2</sup>C and SPI Protocols*”, IEEE Instrumentation & Measurement Magazine, Vol:12, 2009, pp.8-13
- [5] J. Valdez, J. Becker - Texas Instruments, “*Understanding the I<sup>2</sup>C Bus*”, Application Report – SLVA704 , 2015
- [6] G. Voicu, R. H. Iacob, O. Neagoe, “*Digital potentiometer including bulk impedance devices*”, US Patent 7345611 B2, 2008
- [7] R. H. Iacob, S. S. Georgescu, C. F. Wojslaw, T. M. Wojslaw, “*Digital potentiometer with resistor binary weighting decoding*”, US Patent 2005/0270043, 2005
- [8] O. Neagoe, R. H. Iacob, “*Split Wiper Digital Potentiometer and Method*”, US Patent US 8.248,286 B2 , 2012
- [9] R. H. Iacob, O. Neagoe, A. Manolescu, “*Multistage Architectures for high resolution digital potentiometers*”, International Symposium on Signals, Circuits and Systems (ISSCS), Iași, 2009, pp. 1-4
- [10] G.-C. Ilie (Chiranu), C. Tudoran, O. Neagoe, G. Brezeanu, “*Performance Analysis for High Resolution Digitally Programmable Potentiometers*”, International Semiconductor Conference (CAS), Sinaia, România, 9-11 Oct. 2019, pp. 183-186
- [11] G.-C. Ilie (Chiranu), C. Tudoran, O. Neagoe, G. Brezeanu, “*Low cost approaches for High Resolution Digitally Programmable Potentiometers*”, Romanian Journal of Information Science and Technology (ROMJIST), 2020, pp. 157-175
- [12] ON Semiconductor, *CAT5140*, Foaie de catalog
- [13] Texas Instruments, *TPL0102*, Foaie de catalog
- [14] Texas Instruments, *TPL0202*, Foaie de catalog
- [15] Analog Devices, *AD5227*, Foaie de catalog
- [16] R. W. Webb, “*Analog Switch with Internal Device Body Control*”, US Patent 0175669 A1, 2011
- [17] G.-C. Ilie (Chiranu), C. Tudoran, G. Pristavu, G. Brezeanu, “*8-bit Digitally Programmable Potentiometer Multistage Architectures – Experimental Results*”, lucrare pregătită pentru International Semiconductor Conference (CAS), 6-8 October, 2021, ISI.

- [18] G.-C. Ilie (Chiranu), C. Tudoran, O. Neagoe, G. Pristavu, G. Brezeanu, “*Digitally Programmable Potentiometer Multistage Architecture with Switch Independent Linearity*”, lucrare acceptată pentru prezentare la conferința PhD Research in Microelectronics and Electronics (PRIME), 19-22 July, 2021
- [19] G.-C. Ilie (Chiranu), C. Tudoran, O. Neagoe, G. Brezeanu, “*Parasitic Resistance Influence on High Resolution Digitally Programmable Potentiometers Linearity*”, International Semiconductor Conference (CAS), Sinaia, Romania, 7-9 Oct. 2020
- [20] G.-C. Ilie (Chiranu), C. Tudoran, O. Neagoe, G. Brezeanu, “*Improved CMOS Analog Switch*”, International Symposium on Signals, Circuits and Systems (ISSCS), June 11-12, România, Iași, 2019
- [21] G. H. Montazer, “*Electronic Switch Having Extended Voltage Range*”, US Patent 7400171 B1, 2008
- [22] G.-C. Ilie (Chiranu), C. Tudoran, O. Neagoe, G. Brezeanu, “*Nonvolatile Analog Switch*”, International Conference on Electronics, Computers and Artificial Intelligence (ECAI), Romania, Bucharest, June 25-27, 2020
- [23] G.-C. Ilie (Chiranu), C. Tudoran, O. Neagoe, F. Drăghici, G. Brezeanu, “*Nonvolatile Analog Switch for Low-Voltage Applications*”, Electronics Journal, Vol: 10, 2021
- [24] M.A Keskin, “*Low-Voltage CMOS Switch With a Novel Clock Boosting Scheme*”, Transactions on Circuits and Systems Part II: Express Briefs, Vol: 52, 2005, pp. 185–188
- [25] S. Chaudhry - Texas Instruments, “*Selecting the Right Texas Instruments Signal Switch*”, Application Report - SZZA030B, 2020. [https://www.ti.com/lit/an/szza030b/szza030b.pdf?ts=1615457867532&ref\\_url=https%253A%252F%252Fwww.google.com%252F](https://www.ti.com/lit/an/szza030b/szza030b.pdf?ts=1615457867532&ref_url=https%253A%252F%252Fwww.google.com%252F).
- [26] D. Aksin, M. Al-Shyoukh, F. Maloberti, “*Switch Bootstrapping for Precise Sampling Beyond Supply Voltage*”, IEEE Journal of Solid-State Circuits, Vol: 41, 2006, pp. 1938–1943
- [27] A. Setiabudi, H. Tamura, K. Tanno, “*High Speed and Low Pedestal Error Bootstrapped CMOS Sample and Hold Circuit*”, International Journal of Electrical and Computer Engineering, Vol: 8, 2018, pp. 4148–4156
- [28] H. Chen, L. He, H. Deng, Y. Yin, F. Lin, “*A high-performance bootstrap switch for low voltage switched-capacitor circuits*” International Symposium on Radio-Frequency Integration Technology, Hefei, China, 27–30 August 2014